



This is to certify that the annexed is a true copy of the following application as filed with this Office.

1998年11月27日

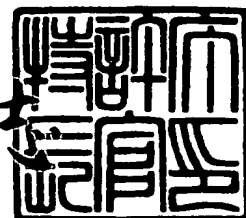
平成10年特許願第336760号

富士ゼロックス株式会社

1999年 7月16日

特許庁長官
Commissioner,
Patent Office

伴佐山建



出証番号 出証特平 11-3050850

【書類名】 特許願

【整理番号】 FN98-00378

【提出日】 平成10年11月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06T 1/60

【発明の名称】 ハーフトーン生成装置およびハーフトーン生成方法

【請求項の数】 15.

【発明者】

 【住所又は居所】 神奈川県足柄上郡中井町境 4 3 0 グリーンテクなかい
 富士ゼロックス株式会社内

 【氏名】 上床 弘毅

【発明者】

 【住所又は居所】 神奈川県足柄上郡中井町境 4 3 0 グリーンテクなかい
 富士ゼロックス株式会社内

 【氏名】 小柳 雅彦

【特許出願人】

 【識別番号】 000005496

 【氏名又は名称】 富士ゼロックス株式会社

 【電話番号】 0462-38-8516

【代理人】

 【識別番号】 100086531

 【弁理士】

 【氏名又は名称】 澤田 俊夫

 【電話番号】 03-5541-7577

【手数料の表示】

 【予納台帳番号】 038818

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ハーフトーン生成装置およびハーフトーン生成方法

【特許請求の範囲】

【請求項 1】 多値画像を形成する画素データを閾値マトリクスデータと比較することにより多値画像の画素データに基づくハーフトーンデータを生成するハーフトーン生成装置において、

閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段からハーフトーンを生成する走査ラインに適用する全ての閾値データを一括して読み出す閾値データ読み出し手段と、

前記閾値データ読み出し手段によって読み出された閾値データの中から、ハーフトーンを生成すべき複数の画素の位置に対応する複数の閾値データを選択して出力する閾値データ選択手段と、

前記ハーフトーンを生成すべき複数の画素データと、前記閾値データ選択手段によって選択出力された複数の閾値データとの比較処理を並列に実行し、複数のハーフトーンデータを同時に生成する比較手段と、

を有することを特徴とするハーフトーン生成装置。

【請求項 2】 多値画像を形成する画素データを閾値マトリクスデータと比較することにより多値画像の画素データに基づくハーフトーンデータを生成するハーフトーン生成装置において、

閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段からハーフトーンを生成する走査ラインに適用する全ての閾値データを一括して読み出す閾値データ読み出し手段と、

前記閾値データ読み出し手段によって読み出された前記走査ラインに対応する全ての閾値データを一時的に保持する第一のレジスタ手段と、

前記第一のレジスタ手段に保持された前記走査ラインに対応する全ての閾値データの中から、ハーフトーンを生成すべき複数の画素の位置に対応する複数の閾値データを選択して出力する閾値データ選択手段と、

前記選択出力された複数の閾値データを一時的に保持する第二のレジスタ手段と、

前記ハーフトーンを生成すべき複数の画素データと、前記第二のレジスタ手段に保持された複数の閾値データとの比較処理を並列に実行し、複数のハーフトーンデータを同時に生成する比較手段とを備え、

前記閾値データ読み出し手段による閾値データ読み出し処理、前記閾値データ選択手段による閾値データ選択処理、および前記比較手段によるハーフトーンデータ生成処理の一連の処理を複数画素単位のパイプライン処理として並列動作させる構成としたことを特徴とするハーフトーン生成装置。

【請求項 3】 前記閾値データ読み出し手段は、前記閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段からハーフトーンを生成する走査ラインに適用する全ての閾値データを一度のメモリアクセスで読み出すことを特徴とする請求項 1 または 2 に記載のハーフトーン生成装置。

【請求項 4】 前記閾値データ選択手段は、処理対象の走査ラインに含まれる全ての閾値データの数を M、同時に生成するハーフトーンデータの画素数を P、選択する閾値データの開始画素位置を S としたとき、M 個の閾値データの内、先頭から S 番目の閾値データを開始位置として含む連続する P 個の閾値データを選択して出力する構成を有し、前記 M 個の閾値データの S 番目以降の閾値データが P 個に満たない場合は、前記 S 番目以降の閾値データおよび当該閾値データの先頭から連続する閾値データを選択して総計 P 個の閾値データとして選択出力する構成であることを特徴とする請求項 1 乃至 3 いずれかに記載のハーフトーン生成装置。

【請求項 5】 前記閾値データ選択手段は、前記閾値データ読み出し手段によって読み出された走査ラインに適用する全ての閾値データを、生成するハーフトーンの画素位置に応じた任意の順番で選択あるいは並びかえて出力する構成を有することを特徴とする請求項 1 乃至 4 いずれかに記載のハーフトーン生成装置。

【請求項 6】 前記閾値データ選択手段は、前記比較手段において並列に比較処理される個数以下の閾値データを同一の出力タイミングにおいて出力することを特徴とする請求項 5 に記載のハーフトーン生成装置。

【請求項 7】 前記閾値データ選択手段は、クロスバススイッチ回路と該ク

ロスバススイッチ回路の制御を実行するスイッチ制御回路とを有し、

前記クロスバススイッチ回路は、処理対象の走査ラインに含まれる全ての閾値データの数をMとしたとき、M個の全ての閾値データを同時に入力可能な構成を持ち、

前記スイッチ制御回路は、前記クロスバススイッチ回路に入力される前記M個の閾値データの中から、生成するハーフトーンの画素位置に対応する閾値データのみを選択出力するように前記クロスバススイッチ回路を制御する構成であることを特徴とする請求項1乃至6いずれかに記載のハーフトーン生成装置。

【請求項8】 前記閾値データ選択手段は、バレルシフト回路と、該バレルシフト回路のシフト量を制御するシフト制御回路とを有し、

前記バレルシフト回路は、処理対象の走査ラインに含まれる全ての閾値データの数をMとしたとき、M個の全ての閾値データを同時に入力可能な構成を持ち、

前記シフト制御回路は、生成するハーフトーンの画素位置に応じて前記バレルシフト回路に入力される前記M個の閾値データのシフト量を制御する構成であることを特徴とする請求項1乃至6いずれかに記載のハーフトーン生成装置。

【請求項9】 前記閾値データ選択手段は、さらに、M個の閾値データを複数個ずつ分割したブロック単位の閾値データをブロック単位で入れ替えるためのマルチプレクサ回路と、

前記マルチプレクサ回路によって前記ブロック単位で入れ替えられたM個の閾値データを一時保持するブロック単位閾値データレジスタ手段とを有し、

前記クロスバススイッチ回路は、前記ブロック単位閾値データレジスタ手段に保持されたブロック単位で入れ替えられた閾値データを入力とする構成であることを特徴とする請求項7に記載のハーフトーン生成装置。

【請求項10】 前記閾値データ選択手段は、さらに、M個の閾値データを複数個ずつ分割したブロック単位の閾値データをブロック単位で入れ替えるためのマルチプレクサ回路と、

前記マルチプレクサ回路によって前記ブロック単位で入れ替えられたM個の閾値データを一時保持するブロック単位閾値データレジスタ手段とを有し、

前記バレルシフト回路は、前記ブロック単位閾値データレジスタ手段に保持さ

れたブロック単位で入れ替えられた閾値データを入力とする構成であることを特徴とする請求項 8 に記載のハーフトーン生成装置。

【請求項 11】 前記閾値データ選択手段を構成するバレルシフト回路は、M 個の閾値データを入力とし、シフト動作を右方向にのみ可能な右方向バレルシフト回路と、同じ M 個の閾値データを入力とし、シフト動作を左方向にのみ可能な左方向バレルシフト回路との組み合わせにより構成され、

前記閾値データ選択手段は、前記右方向バレルシフト回路と前記左方向バレルシフト回路から出力される閾値データのいずれかを選択して出力するセクタ回路を有することを特徴とする請求項 8 または 10 に記載のハーフトーン生成装置。

【請求項 12】 多値画像を形成する画素データを閾値マトリクスデータと比較することにより多値画像の画素データに基づくハーフトーンデータを生成するハーフトーン生成方法において、

閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段からハーフトーンを生成する走査ラインに適用する全ての閾値データを一括して読み出す閾値データ読み出しステップと、

前記閾値データ読み出しステップにおいて読み出された前記閾値データの中から、ハーフトーンを生成すべき複数の画素の位置に対応する複数の閾値データを選択出力する閾値データ選択ステップと、

前記ハーフトーンを生成すべき複数の画素データと、前記閾値データ選択手段によって選択出力された複数の閾値データとの比較処理を並列に実行し、複数のハーフトーンデータを同時に生成する比較ステップと、

を有することを特徴とするハーフトーン生成方法。

【請求項 13】 多値画像を形成する画素データを閾値マトリクスデータと比較することにより多値画像の画素データに基づくハーフトーンデータを生成するハーフトーン生成方法において、

閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段からハーフトーンを生成する走査ラインに適用する全ての閾値データを一括して読み出す閾値データ読み出しステップと、

前記閾値データ読み出しステップにおいて読み出された前記走査ラインに対応する全ての閾値データを一時的に第一のレジスタ手段に保持するステップと、

前記第一のレジスタ手段に保持された前記走査ラインに対応する全ての閾値データの中から、ハーフトーンを生成すべき複数の画素の位置に対応する複数の閾値データを選択出力する閾値データ選択ステップと、

前記選択出力された複数の閾値データを一時的に第二のレジスタ手段に保持するステップと、

前記ハーフトーンを生成すべき複数の画素データと、前記第二のレジスタ手段に保持された複数の閾値データとの比較処理を並列に実行し、複数のハーフトーンデータを同時に生成する比較ステップを有し、

前記閾値データ読み出しステップにおける閾値データ読み出し処理、前記閾値データ選択ステップにおける閾値データ選択処理、および前記比較ステップにおけるハーフトーンデータ生成処理の一連の処理が複数画素単位のパイプライン処理として並列動作することを特徴とするハーフトーン生成方法。

【請求項 14】 前記閾値データ選択ステップは、前記閾値データ読み出しステップにおいて読み出された走査ラインに適用する全ての閾値データを、生成するハーフトーンの画素位置に応じた任意の順番で選択あるいは並びかえて出力するステップを有することを特徴とする請求項 12 または 13 に記載のハーフトーン生成方法。

【請求項 15】 前記閾値データ選択ステップは、閾値データを複数個ずつ分割したブロック単位の閾値データをブロック単位で入れ替えるステップと、

前記ブロック単位で入れ替えられた閾値データを閾値データ単位で選択または並び替えて選択出力するステップを有することを特徴とする請求項 12 乃至 14 いずれかに記載のハーフトーン生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多値画像データを 2 値画像データに電子的に変換するハーフトーン生成装置およびハーフトーン生成方法に関するものであり、特に高速かつ高画質

なカラー印刷処理装置に対して高速にハーフトーンデータを供給するハーフトーン生成装置およびハーフトーン生成方法に関するものである。

【0002】

【従来の技術】

カラー画像を印刷する印刷処理装置は、一般にシアン（以下Cと略す）、マゼンタ（以下Mと略す）、イエロー（以下Yと略す）、ブラック（以下Kと略す）の4版に分解され、それぞれの色版には多値画像データが格納される。各色版の多値画像データは、閾値マトリクスデータと比較され、2値画像データに変換される。各色毎の2値画像データに基づいて、ハーフトーン印刷が行なわれ、カラー画像が生成される。

【0003】

従来オフセット印刷等において、デジタル的にハーフトーン画像を形成するためには、イメージセッタと呼ばれる高分解能のレーザー記録装置で、感光フィルム上にハーフトーン画像を形成した後、PS版（*photosensitized plate*）等に焼き付けるのが一般的である。

【0004】

このイメージセッタ方式では、上述したようにハーフトーンの形成はオフラインで行なわれ、ハーフトーン形成に関して高速性は要求されないため、一般的にハーフトーン形成は、イメージセッタに内蔵されたマイクロプロセッサを使って処理される。すなわち、マイクロプロセッサによって多値画像データと閾値マトリクスデータの比較演算が実行され、結果がイメージセッタのメモリに記録される。ページ単位あるいはジョブ単位のハーフトーン形成が終了すると、メモリに記録されたハーフトーンデータが順次読み出され、レーザーの感光フィルム上へ記録される。

【0005】

一方、電子写真方式の印刷処理装置においても、近年の情報の電子化、記録装置のカラー化、高解像度化にともない、ハーフトーン画像をデジタル的に形成することが一般的になりつつある。この電子写真方式では、上記した一般的な印刷と異なり、記録装置の出力に合わせて、多値画像データから連続的にハーフト

ーン画像を形成する必要がある。このため、電子写真方式の印刷処理装置では、ハーフトーン形成をマイクロプロセッサではなく、専用のハードウェアで実行する方式が一般的である。

【0006】

図12に従来の代表的なハーフトーン形成に関するハードウェア構成を示す。図12において、入力多値画像データの画素位置に応じて、アドレス発生部において比較する閾値マトリクスデータのアドレスが計算され、アドレスが閾値マトリクスデータを格納したメモリに入力される。閾値マトリクスメモリでは、入力多値画像データに対応した閾値データがコンパレータに出力され、ハーフトーンデータが出力される。

【0007】

上記電子写真方式の印刷処理装置に用いられる閾値マトリクスデータは、有理正接 (rational tangent) と呼ばれる方式が一般的で、比較的小さなマトリクスで閾値データが構成されるため、カラー印刷の各色版の角度、線数の自由度が小さいという問題があった。しかしながら、電子写真方式の印刷処理装置においても、近年の高画質化の要求にともない、記録装置が高解像度化し、従来イメージセッタで利用されてきた、マトリクスサイズが大きく、角度、線数の自由度が高い、スーパーセル方式やマルチユニットエリア方式によるハーフトーン化が可能になってきた。

【0008】

また、図12の方式のハーフトーン形成では、従来印刷処理装置の印刷処理部で多値画像データを生成し、記録装置でレーザー露光する直前でハーフトーン化するのが一般的であったが、上記高解像度化にともない、イメージセッタに比較して低価格の電子写真方式の印刷処理装置では、多値画像データを格納しておくためのメモリのコストが問題となっている。さらに、大量の多値画像データを印刷処理部から記録装置へ高速にデータ転送すること、高速の記録装置の記録速度に応じて高速にハーフトーンデータを生成することも問題となっている。

【0009】

上記最初の2つの問題に対しては、印刷処理部においてハーフトーン化するこ

とが一つの解決手段として考案される。すなわち、予め多値画像データをハーフトーンデータ化し、2値データとしてメモリに格納し、記録装置へ出力することにより、メモリ容量、データ転送速度ともに8分の1に低減する。しかしながら、最後の問題である高速のハーフトーンデータ生成は問題として残る。

【0010】

【発明が解決しようとする課題】

高速にハーフトーンデータを生成する技術としては、特開平6-6606号公報に開示された技術がある。特開平6-6606号公報では、閾値マトリクスデータのメモリとは別に閾値マトリクスデータの1ライン分を複数の高速メモリに交互に転送し、ハーフトーン処理は高速メモリから閾値データを読み出すことで実行する方法が記載されている。しかしながら、特開平6-6606号公報で開示されている方法は、少ない高速メモリで高速にハーフトーン生成を行なうことを狙いとしたもので、基本的に図12の構成と変わらず、飛躍的な高速化を期待することはできない。とくに、文字や図形などのように描画オブジェクト毎の平均描画ラン長が短い描画オブジェクトに対しては、閾値マトリクスデータ全体を格納する低速なメモリへのアクセスが頻繁に発生し、高速メモリの恩恵をほとんど受けることができないという問題がある。

【0011】

ハーフトーン生成の高速化に対する他のアイデアとして、図12に示すようなハーフトーンデータ生成ハードウェアを複数設け、複数ハードウェアで並列にハーフトーン処理を実行することが考案される。近年の半導体技術の進展により大規模かつ高速な回路が提供されるようになり、コンパレータ等のロジック回路部分に関しては、並列化による高速化が可能である。しかしながら、メモリからの閾値データの読み出しに関しては、メモリアクセス時間が論理演算、算術演算の計算時間に比較して遅いこと、読み出しを並列化すると入出力データ線が増加し物理的なレイアウトが困難になること、等の理由で高速化が困難であった。また、一度に多数の閾値データをメモリから読み出す場合、入力される多値画像データの画素位置に合わせて読み出された閾値データを高速に並べ変える処理が発生するという問題もあった。

【0012】

画像処理システムにおける画像データの並べ変えにクロスバスイッチを用いる先願としては、特開平8-305839号公報等がある。特開平8-305839号公報では、1画素当たり1色について16ビットの画像データを、R、G、B、ダミー(D)の上位8ビットずつを最初にメモリの連続するアドレスに記憶し、R、G、B、Dの下位8ビットずつをそれに続く連続アドレスに記憶しておき、表示デバイスにデータ転送する場合は、上位8ビットずつのみを転送することで高速にデータ転送する方法を示している。CPUで画像処理する場合の画像データの並べ変えにはクロスバスイッチを用いる。しかしながら特開平8-305839号公報で開示された方法は、ディスプレイ表示用に特化しており、クロスバスイッチの使用法も2通りだけを想定しており、本発明の対象とするようなハーフトーン生成装置に適用することはできない。

【0013】

また、画像処理システムにおける画像データの並べ変えにバレルシフタを用いる先願としては、特開平9-247466号公報等がある。特開平9-247466号公報では、可変長符号化を行う符号化装置において、可変長符号データを連結する際の特殊コードの挿入およびそれに関する操作を実現するのにバレルシフタおよびセレクタ、レジスタ等を用いてハードウェアによる高速化を図っている。しかしながら、特開平9-247466号公報で開示された方法は、可変長符号化を行う符号化装置に特化しており、本発明の対象とするようなハーフトーン生成装置に適用することはできない。

【0014】

本発明はこのような点に鑑みてなされたものであり、複数のハーフトーンデータを並列に生成するハードウェアにおいて、ボトルネックとなる閾値データの読み出し、および閾値データの並べ変え処理を高速に実行できるハーフトーン生成装置およびハーフトーン生成方法を提供するものである。

【0015】

【課題を解決するための手段】

上記課題を解決するため、本発明のハーフトーン生成装置は多値画像を形成す

る画素データを閾値マトリクスデータと比較することにより多値画像の画素データに基づくハーフトーンデータを生成するハーフトーン生成装置において、閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段からハーフトーンを生成する走査ラインに適用する全ての閾値データを一括して読み出す閾値データ読み出し手段と、閾値データ読み出し手段によって読み出された閾値データの中から、ハーフトーンを生成すべき複数の画素の位置に対応する複数の閾値データを選択出力する閾値データ選択手段と、ハーフトーンを生成すべき複数の画素データと、閾値データ選択手段によって選択出力された複数の閾値データとの比較処理を並列に実行し、複数のハーフトーンデータを同時に生成する比較手段とを有することを特徴とする。

【0016】

さらに、本発明のハーフトーン生成装置は、多値画像を形成する画素データを閾値マトリクスデータと比較することにより多値画像の画素データに基づくハーフトーンデータを生成するハーフトーン生成装置において、閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段からハーフトーンを生成する走査ラインに適用する全ての閾値データを一括して読み出す閾値データ読み出し手段と、閾値データ読み出し手段によって読み出された走査ラインに対応する全ての閾値データを一時的に保持する第一のレジスタ手段と、第一のレジスタ手段に保持された走査ラインに対応する全ての閾値データの中から、ハーフトーンを生成すべき複数の画素の位置に対応する複数の閾値データを選択出力する閾値データ選択手段と、選択出力された複数の閾値データを一時的に保持する第二のレジスタ手段と、ハーフトーンを生成すべき複数の画素データと、第二のレジスタ手段に保持された複数の閾値データとの比較処理を並列に実行し、複数のハーフトーンデータを同時に生成する比較手段とを備え、閾値データ読み出し手段による閾値データ読み出し処理、閾値データ選択手段による閾値データ選択処理、および比較手段によるハーフトーンデータ生成処理の一連の処理を複数画素単位のパイプライン処理として並列動作させる構成としたことを特徴とする。

【0017】

また、本発明のハーフトーン生成方法は、多値画像を形成する画素データを閾

値マトリクスデータと比較することにより多値画像の画素データに基づくハーフトーンデータを生成するハーフトーン生成方法において、閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段からハーフトーンを生成する走査ラインに適用する全ての閾値データを一括して読み出す閾値データ読み出しステップと、閾値データ読み出しステップにおいて読み出された閾値データの中から、ハーフトーンを生成すべき複数の画素の位置に対応する複数の閾値データを選択出力する閾値データ選択ステップと、ハーフトーンを生成すべき複数の画素データと、閾値データ選択手段によって選択出力された複数の閾値データとの比較処理を並列に実行し、複数のハーフトーンデータを同時に生成する比較ステップとを有することを特徴とする。

【0018】

さらに本発明のハーフトーン生成方法は、多値画像を形成する画素データを閾値マトリクスデータと比較することにより多値画像の画素データに基づくハーフトーンデータを生成するハーフトーン生成方法において、閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段からハーフトーンを生成する走査ラインに適用する全ての閾値データを一括して読み出す閾値データ読み出しステップと、閾値データ読み出しステップにおいて読み出された走査ラインに対応する全ての閾値データを一時的に第一のレジスタ手段に保持するステップと、第一のレジスタ手段に保持された走査ラインに対応する全ての閾値データの中から、ハーフトーンを生成すべき複数の画素の位置に対応する複数の閾値データを選択出力する閾値データ選択ステップと、選択出力された複数の閾値データを一時的に第二のレジスタ手段に保持するステップと、ハーフトーンを生成すべき複数の画素データと、第二のレジスタ手段に保持された複数の閾値データとの比較処理を並列に実行し、複数のハーフトーンデータを同時に生成する比較ステップを有し、閾値データ読み出しステップにおける閾値データ読み出し処理、閾値データ選択ステップにおける閾値データ選択処理、および比較ステップにおけるハーフトーンデータ生成処理の一連の処理が複数画素単位のパイプライン処理として並列動作することを特徴とする。

【0019】

上記構成によれば、高速かつ高画質なカラー印刷処理装置に対して並列に比較処理を行なうことが可能となり、高速にハーフトーンデータを供給することができ、またメモリからの閾値データ読み出しと、並列比較に必要な閾値データの選択と、複数のコンパレータによる並列比較処理をパイプライン構成とすることにより、比較処理手段に対する閾値データの供給を高速に行なうことが可能となる。

【0020】

【発明の実施の形態】

以下、図面に基づき本発明に係わるハーフトーン生成装置およびハーフトーン生成方法について説明する。

【0021】

図1は本発明によるハーフトーン生成装置の基本的な構成を示すブロック図である。同図において、本発明によるハーフトーン生成装置は、閾値マトリクスデータ記憶手段2と、閾値データ読み出し手段3と、閾値データ選択手段4と、比較手段5とから構成されている。

【0022】

閾値マトリクスデータ記憶手段2は、多値画像データ1の2値化に用いる閾値データを格納するためのメモリ装置である。本発明で対象とする閾値マトリクスデータは、例えば、高解像度の記録装置に対応する大サイズのマトリクスデータで、例えば、スーパーセル方式やマルチユニットエリア方式で生成された複数の網点セルで構成されるものである。スーパーセル方式に関しては、ピーター・フリンク著、株式会社エムディエヌコーポレーション発行、書名「ポストスクリプト・スクリーニング」に記載されている。マルチユニットエリア方式に関しては、日本印刷学会誌（1994）、vol. 31、pp. 31-39に記載されている。本メモリ装置のワード構成は、閾値マトリクスデータの1ライン分（例えば主走査方向の1ライン）の閾値データが、一度のメモリアクセスで出力可能なように構成されている。

【0023】

閾値データ読み出し手段3は、入力される多値画像データ1の走査信号に基づ

き、閾値マトリクスデータ記憶手段 2 より当該走査ラインに対応するマトリクスの 1 ライン分の閾値データを一度のメモリアクセスで同時に読み出し、内部に一時的に保持した後、閾値データ選択手段 4 へ転送するよう構成されている。また、閾値データを閾値データ選択手段 4 へ転送した後、次に入力される多値画像データの走査ラインに対応するマトリクスの 1 ライン分の全ての閾値データを読み出すよう構成されている。

【0024】

閾値データ選択手段 4 は、閾値データ読み出し手段 3 から転送される走査ラインに対応する 1 ライン分の閾値マトリクスデータから、比較手段 5 で多値画像データ 1 を 2 値化するための閾値データを多値画像データ 1 の走査位置に応じて選択的に取り出すものである。例えば、連続する複数画素から成る多値画像データ 1 に対応して、連続する閾値データを 1 ブロックとし、ブロック単位で順次比較手段 5 へ出力するように構成されている。

【0025】

比較手段 5 は、入力される複数画素から成る多値画像データ 1 を、それらの走査位置に対応する同数の閾値データと並列に比較し、2 値化する。例えば、多値画像データが閾値データより大であれば当該画素のビットは 1、多値画像データが閾値データと等しいか小であれば当該画素のビットは 0 とする。比較手段 5 より出力される 2 値画像データ 6 は、図示しないバッファメモリに所定の処理単位、例えば走査ライン単位、バンド単位、あるいはページ単位で格納された後、電子写真方式の記録装置へ出力される。

【0026】

【実施例】

〔実施例 1〕

次に本実施例における実装の形態について説明する。

図 2 は本実施例におけるハーフトーン処理装置のハードウェア構成例である。図 2 における各ハードウェアと図 1 に示す各構成との対応について説明する。閾値マトリクスデータ記憶手段 2 は閾値マトリクスデータ格納メモリ 12 に、閾値データ読み出し手段 3 は閾値データ読み出し制御回路 11 と閾値データフェッチ

レジスタ 13 に、閾値データ選択手段 4 は閾値データ選択制御回路 14 とクロスバスイッチ回路 15 と閾値データレジスタ 16 に、比較手段 5 は複数個（図 2 では $w s$ 個）のコンパレータ 17 と出力レジスタ 18 に、それぞれ対応している。その他本発明には直接関係しないが、図 2 には 2 値化された画像データを一時的に格納するためのバッファメモリ 20 とバッファメモリ書き込み制御回路 19 が含まれている。図 2 において、閾値マトリクスサイズを $t s \times t s$ 、閾値マトリクスデータ格納メモリ 12 のアドレス線幅を $a s$ ビット、バッファメモリ 20 のデータ線幅を $w s$ ビットとしている。以下、個々のハードウェア構成要素について説明する。

【0027】

閾値マトリクスデータ格納メモリ 12 は、マルチユニットエリア方式等で作成される閾値マトリクスデータを格納するもので、本実施例では S R A M を用いて実現される。図 3 にそのメモリ構成および閾値マトリクスデータの格納状況を示す。本実施例では、文字、図形、およびラスタの各描画オブジェクト毎に異なった閾値マトリクスデータを用い、かつそのそれぞれについて、C、M、Y、K の各色毎に異なった閾値マトリクスデータを用いることを想定している。図 3 に示すように、本実施例では $\times 8$ ビット構成の S R A M を $t s$ 個並列に配置し、同一のアドレスで $t s$ 個の閾値データが一度に出力されるように構成されている。各々の S R A M には、図 3 で付した番号に対応する閾値マトリクスの一列が格納される。閾値マトリクスデータは、閾値データ読み出し制御回路 11 から入力される閾値データアドレス信号 T H M A によってアドレスされる。

【0028】

閾値データ読み出し制御回路 11 は、ハーフトーン処理される多値画像データ 0 の副走査ライン方向の画素位置を表す信号 $c y 0$ 、現在処理中の色（C、M、Y、または K）を表す信号 $c o l o r$ 、現在処理中の描画オブジェクトの種類（文字、図形、またはラスタ）を表す信号 $o t y p e$ に基づき、閾値マトリクスデータ格納メモリ 12 にアクセスするための閾値データアドレス信号 T H M A を出力し、閾値マトリクスデータ格納メモリ 12 から閾値データが出力されるタイミングに応じて、閾値データフェッチレジスタ 13 に 1 ライン分の閾値データをロ

ードするためのロード信号LDFを出力する。

【0029】

図4に閾値データ読み出し制御回路11の閾値データアドレス信号THMAを生成するデータパスの構成を示す。図4において、閾値データ読み出し制御回路11は、文字用閾値マトリクスが格納されているメモリの先頭アドレスfont__matrix__sadrの値を格納するレジスタ31と、図形用閾値マトリクスが格納されているメモリの先頭アドレスgraphic__matrix__sadrの値を格納するレジスタ32と、ラスタ用閾値マトリクスが格納されているメモリの先頭アドレスraster__matrix__sadrの値を格納するレジスタ33と、otypeの値に応じて上記レジスタ31～33のいずれかをSADRとして選択するマルチプレクサ38と、tsの値を格納するレジスタ34と、2×tsの値を格納するレジスタ35と、3×tsの値を格納するレジスタ36と、0を格納するレジスタ37と、colorの値に応じて上記レジスタ34～37のいずれかをOFFSETとして選択するマルチプレクサ39と、SADR+OFFSETの加算を実行する加算器40と、cy0modtsの演算を実行する除算器41と、加算器40の出力と除算器41の出力との和を計算する加算器42とを備える。

【0030】

上記構成において、閾値データアドレス信号THMAは、 $THMA = SADR + OFFSET + cy0modts$ により、計算される。ここで、SADRは、図3あるいは図4におけるfont__matrix__sadr、graphic__matrix__sadr、またはraster__matrix__sadrのいずれかに対応する。入力信号otypeが「文字」を表す場合は、SADRとしてfont__matrix__sadrが選択される。入力信号otypeが「図形」を表す場合は、SADRとしてgraphic__matrix__sadrが選択される。入力信号otypeが「ラスタ」を表す場合は、SADRとしてraster__matrix__sadrが選択される。OFFSETは、図3あるいは図4における0、ts、2×ts、または3×tsのいずれかに対応する。入力信号colorが「シアン」を表す場合は、OFFSETとして0が選択さ

れる。入力信号 `color` が「マゼンタ」を表す場合は、`OFFSET`として `t s` が選択される。入力信号 `color` が「イエロー」を表す場合は、`OFFSET`として $2 \times t s$ が選択される。入力信号 `color` が「ブラック」を表す場合は、`OFFSET`として $3 \times t s$ が選択される。なお、`mod` は剰余演算を表す。

【0031】

閾値データフェッチレジスタ13は、閾値マトリクスデータ格納メモリ12から出力される1ライン分の閾値データを、後段の処理に備えて一時的に保持するためのレジスタである。閾値データフェッチレジスタ13は、例えば `t s` 個のDフリップフロップを用いて構成され、閾値データ読み出し制御回路11から入力されるロード信号 `LDF` がアクティブのとき、図示しないシステムクロック信号に同期して、1ライン分の閾値データを同時に取り込むよう構成されている。

【0032】

クロスバスイッチ15は、閾値データフェッチレジスタ13に保持された閾値データの内、任意の位置から連続する `w s` 個の閾値データを選択して出力するものである。図7に、入力データ線が8ビット×7、出力データ線が8ビット×4の場合のクロスバスイッチ15のデータパスの構成を示す。同図において、クロスバスイッチ15は入力データ線 `in (0) ~ in (6)` と、出力データ線 `out (0) ~ out (3)` と、スイッチ `sw (0, 0) ~ sw (6, 3)` とから構成される。入力データ線 `in (i)` には、閾値データフェッチレジスタ13から `t s` 個（図7では7個）の閾値データが入力される。出力データ線 `out (j)` は、選択された `w s` 個（図7では4個）の閾値データを閾値データレジスタ16へ出力するものである。

【0033】

スイッチ `sw (i, j)` の内部構成を図9に示す。スイッチ `sw (i, j)` は、制御信号 `ctrl (i, j)` に応じて、入力データ線 `in (i)` と出力データ線 `out (j)` を接続するスイッチ回路である。`ctrl (i, j) = 1` の時は、入力データ線 `in (i)` と出力データ線 `out (j)` を接続し、入力データ線 `in (i)` の内容を出力データ線 `out (j)` に出力する。`ctrl (i,`

$j) = 0$ の時は、入力データ線 $in(i)$ と出力データ線 $out(j)$ の接続を解除する。図8に、図7と同じ入出力構成の場合のクロスバスイッチ15の制御パスの構成を示す。閾値データ選択制御回路14から入力されるクロスバスイッチ制御信号 $CXBS$ は、まず、 $sw(0, 0) \sim sw(6, 0)$ の制御信号 $ctrl(0, 0) \sim ctrl(6, 0)$ に入力される。次の $sw(0, 1) \sim sw(6, 1)$ には、図8に示す通り、クロスバスイッチ制御信号 $CXBS$ を右に1ビットローテーションシフトした値が入力される。続く $sw(0, 2) \sim sw(6, 3)$ に関しても同様である。すなわち、 $CXBS$ に対する j ビット右ローテーションシフトを $RTR(CXBS, j)$ と記述すれば、 $ctrl(i, j)$ には $RTR(CXBS, j)(i)$ が入力される。

【0034】

次に図10および図11を用いてクロスバスイッチ15の動作を説明する。図10は、入力データ線が8ビット×7、出力データ線が8ビット×4の場合のクロスバスイッチ15の動作を説明する図である。図10において、画素位置 $(cx0, cy0)$ から連続する4画素分の多値画像データ0～3を2値化すると想定する。閾値データフェッチレジスタ13にロードされる $cy0$ に対応する1ライン分の閾値データの内、 $cx0$ に対応する閾値データは入力データ線 $in(4)$ に入力されるものであったとする。この場合、クロスバスイッチ制御信号 $CXBS$ として 0000100 が入力され、図10でハッチをかけたスイッチ $sw(4, 0)$ 、 $sw(5, 1)$ 、 $sw(6, 2)$ 、 $sw(0, 3)$ のみが接続状態になる。すなわち、入力データ線 $in(4)$ に入力された多値画像データ0に対応する閾値データが出力データ線 $out(0)$ へ出力され、入力データ線 $in(5)$ に入力された多値画像データ1に対応する閾値データが出力データ線 $out(1)$ へ出力され、入力データ線 $in(6)$ に入力された多値画像データ2に対応する閾値データが出力データ線 $out(2)$ へ出力され、入力データ線 $in(0)$ に入力された多値画像データ3に対応する閾値データが出力データ線 $out(3)$ へ出力される。その他の入力データ線 $in(1)$ 、 $in(2)$ 、 $in(3)$ に入力された閾値データは、図10に示した2値化処理では使用されない。

【0035】

図11は、入力データ線が8ビット×7、出力データ線が8ビット×8の場合のクロスバスイッチ15の動作を説明する図である。図10との違いは、図10では $t s \geq w s$ となっていたのに対し、図11では $t s < w s$ となっていることである。図11において、画素位置($c x 0, c y 0$)から連続する8画素分の多値画像データ0~7を2値化すると想定する。閾値データフェッチレジスタ13にロードされる $c y 0$ に対応する1ライン分の閾値データの内、 $c x 0$ に対応する閾値データは入力データ線 $i n(4)$ に入力されるものであったとする。この場合、クロスバスイッチ制御信号 $C X B S$ として 0000100 が入力され、図10でハッチをかけたスイッチ $s w(4, 0)$ 、 $s w(5, 1)$ 、 $s w(6, 2)$ 、 $s w(0, 3)$ 、 $s w(1, 0)$ 、 $s w(2, 1)$ 、 $s w(3, 2)$ 、 $s w(4, 3)$ のみが接続状態になる。すなわち、入力データ線 $i n(4)$ に入力された多値画像データ0、7に対応する閾値データが出力データ線 $o u t(0)$ 、 $o u t(7)$ へ出力され、入力データ線 $i n(5)$ に入力された多値画像データ1に対応する閾値データが出力データ線 $o u t(1)$ へ出力され、入力データ線 $i n(6)$ に入力された多値画像データ2に対応する閾値データが出力データ線 $o u t(2)$ へ出力され、入力データ線 $i n(0)$ に入力された多値画像データ3に対応する閾値データが出力データ線 $o u t(3)$ へ出力され、入力データ線 $i n(1)$ に入力された多値画像データ4に対応する閾値データが出力データ線 $o u t(4)$ へ出力され、入力データ線 $i n(2)$ に入力された多値画像データ5に対応する閾値データが出力データ線 $o u t(5)$ へ出力され、入力データ線 $i n(3)$ に入力された多値画像データ6に対応する閾値データが出力データ線 $o u t(6)$ へ出力される。図11で入力データ線 $i n(4)$ に入力された閾値データが2つの出力データ線 $o u t(0)$ 、 $o u t(7)$ に出力されているように、 $t s < w s$ の場合には1つの閾値データが複数出力される点が図10の場合($t s \geq w s$)と異なっている。

【0036】

閾値データ選択制御回路14は、ハーフトーン処理される多値画像データ0の主走査ライン方向の画素位置を表す信号 $c x 0$ に基づき、クロスバスイッチ制御信号 $C X B S$ を出力するとともに、クロスバスイッチ15から選択された $w s$ 個

の閾値データが出力されるタイミングに応じて、閾値データレジスタ 16 に $w s$ 個の閾値データをロードするためのロード信号 $L D D$ を出力する。クロスバスイッチ制御信号 $C X B S$ は $t s$ ビット幅の信号で、 $t s$ ビットの内、閾値データの出力開始位置に対応する 1 ビットのみが 1、他の全てのビットには 0 がセットされるものである。図 5 にクロスバスイッチ制御信号 $C X B S$ を生成するデータパスの構成を示す。同図において、閾値データ選択制御回路 14 は、 $t s$ の値を格納するレジスタ 45 と、 $c x 0 \bmod t s$ の演算を実行する除算器 41 と、バイナリデコーダ 47 とを備える。図 6 に入力 3 ビット、出力 8 ビットの場合のバイナリデコーダの真理値表を示す。図 5 に示したバイナリデコーダ 47 の入出力ビット幅は、入力 8 ビット、出力 $t s$ ビット（最大 256 ビット）であるが、図 6 では表記を簡単にするため、入力 3 ビット、出力 8 ビットの場合を想定した真理値表を示している。図 6 から明らかなように、バイナリエンコーダ 47 の機能は、入力の値が 0（図 6 では“000”）のときに出力線の最上位ビットに“1”を出力し、それ以外のすべての出力ビットに“0”を出力する。入力の値が 0 から 1（001），2（010）と変化すると、入力値が 1 ずつ増加するのに対応して出力線の“1”を出力するビット位置が 1 つずつ最下位ビットの方へ移動する。また、出力線のビット幅が少ない場合、例えば入力 3 ビット、出力 5 ビットの場合は、5（図 6 では“101”）以上の入力値に対しては全ビット“0”を出力する。

【0037】

上記構成において出力開始位置を表す内部信号 $S B I T$ は $S B I T = c x 0 \bmod t s$ によって計算され、バイナリデコーダ 47 によって $S B I T$ の値に対応するビット $C X B S (S B I T)$ のみが 1 にセットされ、他の全てのビットには 0 がセットされて、出力される。

【0038】

閾値データレジスタ 16 は、クロスバスイッチ 15 から出力される $w s$ 個の閾値データを、後段の処理に備えて一時的に保持するためのレジスタである。閾値データレジスタ 16 は、例えば $w s$ 個の D フリップフロップを用いて構成され、閾値データ選択制御回路 14 から入力されるロード信号 $L D D$ がアクティブのと

き、図示しないシステムクロック信号に同期して、 $w s$ 個の閾値データを同時に取り込むよう構成されている。

【0039】

コンパレータ 17 は、 $w s$ 個の 8 ビットマグニチュードコンパレータから構成される。各 8 ビットマグニチュードコンパレータは、多値画像データと閾値データを比較し、多値画像データが閾値データより大であれば 1 を出力し、多値画像データが閾値データと等しいか小であれば 0 を出力して 2 値化する。コンパレータ 17 で 2 値化された画像データは、出力レジスタ 18 に一時的に保持された後、 $w s$ ビットずつバッファメモリ 20 へ書き込まれる。出力レジスタ 18 へのロードおよびバッファメモリ 20 への書き込みは、バッファメモリ書き込み制御回路 19 により制御される。

【0040】

以上、本実施例のハードウェア構成について説明したが、閾値マトリクスデータ格納メモリ 12 およびバッファメモリ 20 を除くロジック部分に関しては、ゲートアレイ等のセミカスタム ASIC を用いて容易に 1 チップ LSI 化が可能である。また、 $0.25 \mu m$ 以下の微細な半導体プロセスを利用すれば、セルベース ASIC またはフルカスタム ASIC を用いて、閾値マトリクスデータ格納メモリ 12 を含む全体が 1 チップ LSI 化可能である。

【0041】

次に、上述したハードウェア構成における、全体の処理について説明する。まず、入力される多値画像データの 2 値化に先立って、画素位置信号： $c y 0$ 、色信号： $c o l o r$ 、およびオブジェクトタイプ： $o t y p e$ が閾値データ読み出し制御回路 11 に入力される。閾値データ読み出し制御回路 11 は、図 4 で説明した通りに閾値データアドレス信号 $T H M A$ を生成して出力し、閾値マトリクスデータ格納メモリ 12 から当該走査ラインに対する全ての閾値データを一度に読み出し、ロード信号 $L D F$ を操作して、読み出した 1 ライン分の閾値データを閾値データフェッチレジスタ 13 へロードする。

【0042】

閾値データフェッチレジスタ 13 へ閾値データがセットされると、閾値データ

選択制御回路 14 は、画素位置信号 $c \times 0$ に基づいてクロスバスイッチ制御信号 $CXBS$ を生成し、出力する。クロスバスイッチ 15 は、クロスバスイッチ制御信号 $CXBS$ に従って画素位置 $c \times 0$ に対応する位置から連続する $w \times s$ 個の閾値データを選択し、出力する。それら $w \times s$ 個の閾値データは、閾値データ選択制御回路 14 の制御によるロード信号 LDD によって閾値データレジスタ 16 にロードされる。

【0043】

閾値データレジスタ 16 へ閾値データがセットされると、コンパレータ 17 によって $w \times s$ 個の多値画像データと $w \times s$ 個の閾値データが並列に比較され、多値画像データ 1 が 2 値化される。2 値化された $w \times s$ ビットの画像データは、出力レジスタ 18 に一時的に保持された後、バッファメモリ 20 に書き込まれる。

【0044】

なお、本実施例によるハーフトーン処理装置は、閾値マトリクスデータ格納メモリ 12 からの閾値データ読み出しと閾値データフェッチレジスタ 13 への 1 ライン分の閾値データのロード、クロスバスイッチ 15 による閾値データ選択と閾値データレジスタ 16 への $w \times s$ 個の閾値データのロード、コンパレータ 17 による多値画像データ 1 の 2 値化と出力レジスタへのロード、およびバッファメモリ 20 への 2 値画像データの書き込み、の 4 処理が 4 ステージパイプライン動作するように構成されている。すなわち、例えば閾値データ読み出し制御回路 11 は、閾値データフェッチレジスタ 13 へある行の閾値マトリクスデータをロードすると、後段の 3 ステージの終了を待たずに次の多値画像データに対する閾値データ読み出し処理を開始する。他の 3 ステージについても同様である。

【0045】

上記プロセスを、入力される全ての多値画像データに対して繰り返すことにより全てのハーフトーン化が実行される。

【0046】

なお、本実施例では入力される複数画素から成る多値画像データは同一走査ラインの連続する画素であると仮定したが、本発明はこれに限るものではなく、閾値データ選択制御回路 14 とクロスバスイッチ 15 を以下のように変更すること

で、同一走査ラインのとびとびの画素位置をとる多値画像データにも対応することができる。すなわち、入力される $w s$ 個の多値画像データの全ての主走査ライン方向の画素位置 $c x 0 \sim c x (w s - 1)$ を閾値データ選択制御回路 14 に入力するように変更し、それらの画素位置信号に基づいて、クロスバスイッチ 15 の全てのスイッチ制御信号 $c t r l (i, j)$ を個別に生成し、出力するように変更する。これにより、クロスバスイッチ 15 において、入力される $t s$ 個の閾値データを任意の順番で並べ変えて出力することが可能となり、上記同一走査ラインのとびとびの画素位置をとる複数の多値画像データに対して正しく対応する閾値データを供給することができる。

【0047】

〔実施例 2〕

次に本発明の第 2 の実施例について説明する。実施例 2 は、図 1 の閾値データ選択手段 4 のハードウェア構成が実施例 1 で説明したものと異なっている。図 13 に本実施例におけるハーフトーン処理装置のハードウェア構成を示す。図 13 において、閾値データ選択手段 4 は閾値データ選択制御回路 14 とバレルシフタ回路 22 と閾値データレジスタ 16 に対応しており、それ以外の回路は実施例 1 の図 2 で述べたものと同様である。以下では、実施例 1 と構成の異なる閾値データ選択制御回路 14 とバレルシフタ回路 22 について説明する。

【0048】

バレルシフタ回路 22 は、閾値データフェッチレジスタ 13 に保持された閾値データのうち、任意の位置から連続する $w s$ 個の閾値データを選択して出力するものである。ここで、図 14 に 4 個の閾値データを入力し、最大 3 個分左にシフトさせるバレルシフタの回路構成を示す。同図において、バレルシフタは、入力データ線 $i n (0) \sim i n (3)$ と、出力データ線 $o u t (0) \sim o u t (3)$ と、4 入力 1 出力のマルチプレクサ回路 $m u x (0) \sim m u x (3)$ と、シフト量に応じてマルチプレクサ回路の出力信号を選択するバレルシフタ制御信号線 $s e l (0) \sim s e l (1)$ とから構成される。ここで、入力データ線 $i n (i)$ 、出力データ線 $o u t (i)$ は 8 ビット、バレルシフタ制御信号線 $s e l (i)$ は 1 ビットで構成される。マルチプレクサ回路 $m u x (i)$ は、バレルシフタ制

御信号線 $sel(0)$ 及び $sel(1)$ の値によって、 $D(0) \sim D(3)$ に入力された値を選択出力する。例えば、 $sel(1) sel(0) = 00$ の場合、各マルチプレクサ回路 $mux(i)$ は $D(0)$ に入力された値を出力する。従って、この場合は入力データはシフトされずにそのまま出力される。 $sel(1) sel(0) = 01$ の場合は、各マルチプレクサ回路 $mux(i)$ から $D(1)$ に入力された値が出力され、結果出力データは入力データを左に1個シフトした値が得られることになる。同様に、 $sel(1) sel(0) = 10$ の場合は入力データを左に2個シフトした値が、 $sel(1) sel(0) = 11$ の場合は入力データを左に3個シフトした値が出力される。閾値データ選択制御回路14から出力されるバレルシフタ制御信号 SFT は、この $sel(i)$ に入力される。

次に、図15および図16を用いて閾値データフェッチレジスタ13に保持された閾値データ ts 個のうち、任意の位置から連続する ws 個の閾値データを選択して出力するための、バレルシフタ回路22の動作を説明する。図15は、入力データ線が8ビット×4、出力データ線が8ビット×3の場合、つまり $ts \geq ws$ の場合のバレルシフタ回路22の動作を説明する図である。図15において、画素位置 $(cx0, cy0)$ から連続する3画素分の多値画像データ0～2を2値化すると想定する。閾値データフェッチレジスタ13にロードされる $cy0$ に対応する1ライン分の閾値データのうち、 $cx0$ に対応する閾値データは入力データ線 $in(2)$ に入力されるものであったとする。この場合、バレルシフタ制御信号として $sel(1) sel(0) = 10$ が入力され、各マルチプレクサ回路 $mux(i)$ の $D(2)$ に入力された値が出力、つまり入力データが左に2個シフトされて、入力データ線 $in(2)$ に入力された多値画像データ0に対応する閾値データが出力データ線 $out(0)$ へ出力され、入力データ線 $in(3)$ に入力された多値画像データ1に対応する閾値データが出力データ線 $out(1)$ へ出力され、入力データ線 $in(0)$ に入力された多値画像データ2に対応する閾値データが出力データ線 $out(2)$ へ出力される。その他の入力データ線 $in(1)$ に入力された閾値データは、図15に示した2値化処理では使用されない。

【0049】

図16は、入力データ線が8ビット×4、出力データ線が8ビット×7の場合、つまり $t_s < w_s$ の場合のバレルシフト回路22の動作を説明する図である。図16において、画素位置(c_x0 , c_y0)から連続する7画素分の多値画像データ0~6を2値化すると想定する。閾値データフェッチレジスタ13にロードされる c_y0 に対応する1ライン分の閾値データのうち、 c_x0 に対応する閾値データは入力データ線 $in(2)$ に入力されるものであったとする。この場合、バレルシフト制御信号として $sel(1)sel(0) = 10$ が入力され、各マルチプレクサ回路 $mux(i)$ の $D(2)$ に入力された値が出力、つまり入力データが左に2個シフトされて、入力データ線 $in(2)$ に入力された多値画像データ0、4に対応する閾値データが出力データ線 $out(0)$ 、 $out(4)$ へ出力され、入力データ線 $in(3)$ に入力された多値画像データ1、5に対応する閾値データが出力データ線 $out(1)$ 、 $out(5)$ へ出力され、入力データ線 $in(0)$ に入力された多値画像データ2、6に対応する閾値データが出力データ線 $out(2)$ 、 $out(6)$ へ出力され、入力データ線 $in(1)$ に入力された多値画像データ3に対応する閾値データが出力データ線 $out(3)$ へ出力される。実施例1の図11での説明と同様、図16で入力データ線 $in(2)$ 、 $in(3)$ 、 $in(4)$ に入力された閾値データがそれぞれ2つの出力データ線に出力されているように、 $t_s < w_s$ の場合には1つの閾値データが複数出力される点が図15の場合($t_s \geq w_s$)と異なっている。

【0050】

閾値データ選択制御回路14は、ハーフトーン処理される多値画像データ0の主走査ライン方向の画素位置を表す信号 c_x0 に基づき、バレルシフト制御信号 SFT を出力すると共に、バレルシフト回路22から選択された w_s 個の閾値データが出力されるタイミングに応じて、閾値データレジスタ16に w_s 個の閾値データをロードするためのロード信号 LDD を出力する。バレルシフト制御信号 SFT は ss ビット幅($ss = \log_2 t_s$ (小数点以下切り上げ))の信号で、入力データを最大 $t_s - 1$ 個分左方向にシフトする動作を制御するものである。図17にバレルシフト制御信号 SFT を生成するデータパスの構成を示す。同

図において、閾値データ選択制御回路 14 は、 t_s の値を格納するレジスタ 45 と、 $c \times 0 \bmod t_s$ の演算を実行する除算器 45 とを備える。ここで、除算器 45 より出力される剰余の有効ビット幅 s_s は同図では $s_s \leq 8$ である。上記構成において、除算器 45 より算出される剰余がバレルシフト制御信号 SFT として出力される。

【0051】

以上、本実施例のハードウェア構成で実施例 1 と異なる部分について説明した。また、上述したハードウェア構成における全体の処理も、閾値データフェッチレジスタ 13 へ閾値データがセットされてから、閾値データレジスタ 16 へ閾値データがセットされる間の処理が実施例 1 の場合と異なっているが、他は同様である。以下に、この異なっている部分の処理の説明をする。

【0052】

閾値データフェッチレジスタ 13 へ閾値データがセットされると、閾値データ選択制御回路 14 は、画素位置信号 $c \times 0$ に基づいてバレルシフト制御信号 SFT を生成し、出力する。バレルシフト回路 22 は、バレルシフト制御信号 SFT に対応した個数だけ左方向に閾値データをシフトし、 w_s 個の閾値データを出力する。それら w_s 個の閾値データは、閾値データ選択制御回路 14 の制御によるロード信号 LDD によって閾値データレジスタ 16 にロードされる。

【0053】

なお、本実施例によるハーフトーン処理装置も、バレルシフト回路 22 による閾値データ選択と閾値データレジスタ 16 への w_s 個の閾値データのロード処理がパイプラインの 1 ステージとして動作するため、実施例 1 の場合と同様に全体として 4 ステージパイプライン動作するように構成されている。

【0054】

〔実施例 3〕

次に本発明の第 3 の実施例について説明する。実施例 3 は、実施例 2 のハードウェア構成（図 12）の閾値データ選択制御回路 14 とバレルシフト回路 22 が異なっている。図 18 に本実施例におけるバレルシフト回路 22 のハードウェア構成を示す。図 18 において、バレルシフト回路 22 は最大 $t_s / 2$ (t_s が偶

数の時)又は $(ts-1)/2$ (ts が奇数の時)個分左方向にシフトさせるバレルシフタ221と、最大 $ts/2-1$ (ts が偶数の時)又は $(ts-1)/2$ (ts が奇数の時)個分右方向にシフトさせるバレルシフタ222と、左方向バレルシフタ221と右方向バレルシフタ222との出力値を選択するセレクタ223とから構成される。もちろん、 ts が偶数の時の最大シフト数は左右入れ替わってもよい。ここで、図19に4個の閾値データを入力し、最大2個分左にシフトさせるバレルシフタと最大1個分右にシフトさせるバレルシフタの回路構成を示す。同図において、左方向バレルシフタは、入力データ線 $in(0) \sim in(3)$ と、出力データ線 $outl(0) \sim outl(3)$ と、3入力1出力のマルチプレクサ回路 $muxl(0) \sim muxl(3)$ と、シフト量に応じてマルチプレクサ回路の出力信号を選択するバレルシフタ制御信号線 $sel(0) \sim sel(1)$ とから構成され、右方向バレルシフタは、入力データ線 $in(0) \sim in(3)$ と、出力データ線 $outr(0) \sim outr(3)$ と、2入力1出力のマルチプレクサ回路 $muxr(0) \sim muxr(3)$ と、シフト量に応じてマルチプレクサ回路の出力信号を選択するバレルシフタ制御信号線 $sel(0) \sim sel(1)$ とから構成され、セレクタは、出力データ線 $out(r1)(0) \sim out(r1)(3)$ と、選択出力データ線 $out(0) \sim out(3)$ と、2入力1出力のマルチプレクサ回路 $mux(0) \sim mux(3)$ と、左右いずれの方向にシフトさせるかによって2つのバレルシフタからの出力を選択する出力選択信号線 $r1$ とから構成される。ここで、入力データ線 $in(i)$ 、出力データ線 $out(r1)(i)$ は8ビット、バレルシフタ制御信号線 $sel(i)$ 、出力選択信号線 $r1$ は1ビットで構成される。マルチプレクサ回路 $muxl(i)$ は、バレルシフタ制御信号線 $sel(0)$ 及び $sel(1)$ の値によって、 $D(0) \sim D(2)$ に入力された値を選択出力し、マルチプレクサ回路 $muxr(i)$ は、バレルシフタ制御信号線 $sel(0)$ 及び $sel(1)$ の値によって、 $D(0) \sim D(1)$ に入力された値を選択出力し、更に出力選択信号 $r1$ の値によって、シフトさせたい方向に対応したバレルシフタの出力結果を選択出力する。例えば、左方向に1個データをシフトさせる場合は、 $sel(1)sel(0)=01$ 及び $r1=0$ をそれぞれバレルシフタ及びセレクタに入力する。 sel

(1) $sel(0) = 01$ により、各バレルシフタ内のマルチプレクサ回路 $mux(r1)(i)$ から $D(1)$ に入力された値が出力され、結果左方向バレルシフタからの出力データは入力データを左に1個シフトした値が得られ、右方向バレルシフタからの出力データは入力データを右に1個シフトした値が得られることになる。更に、 $r1 = 0$ がセレクトに入力されることにより、左方向バレルシフタの出力データが選択されて、最終的に左方向に1個分シフトした出力データが得られることになる。同様にして、 $sel(1)sel(0) = 10$ 及び $r1 = 0$ の場合は入力データを左に2個シフトした値が、 $sel(1)sel(0) = 01$ 及び $r1 = 1$ の場合は入力データを右に1個シフトした値（左に3個シフトした結果と同じ）が出力される。

【0055】

次に、図20を用いて、閾値データ選択制御回路14におけるバレルシフタ制御信号 SFT 及び出力選択信号 RL を生成するデータパスの構成を説明する。同図において、閾値データ選択制御回路14は、 ts の値を格納するレジスタ45と、 $cx0 \bmod ts$ の演算を実行する除算器46と、 $ts/2$ (ts が偶数の時) または $(ts-1)/2$ (ts が奇数の時) の値を格納するレジスタ48と、除算器より出力される剰余とレジスタ48に格納されている値との大小関係を比較するコンパレータ49と、レジスタ48に格納されている値から除算器より出力される剰余を減算する減算器50と、コンパレータ49の出力によって除算器より出力される剰余または減算結果を選択出力するセレクト51とを備える。ここで、セレクト51より出力される剰余または減算結果の有効ビット幅 ss は同図では $ss \leq 8$ である。上記構成において、コンパレータ49の出力結果が出力選択信号 RL として、セレクト51より出力される剰余または剰余の補数がバレルシフタ制御信号 SFT として出力される。

【0056】

以上、本実施例におけるハードウェア構成について説明した。本実施例の構成によれば、左右両方向のバレルシフタを設けることにより、一方向バレルシフタの場合に比べて、各バレルシフタのシフト数が半分以下で済むことになり、シフト処理に要する遅延時間を短くすることができる。従って、実施例2の場合に比

べてより高速にパイプラインを動作させることができる。

【0057】

〔実施例 4〕

次に本発明の第 4 の実施例について説明する。実施例 4 は、図 1 の閾値データ選択手段 4 のハードウェア構成が実施例 1～3 で説明したものと異なっている。図 21 に本実施例におけるハーフトーン処理装置のハードウェア構成を示す。図 21 において、閾値データ選択手段 4 は閾値データ選択制御回路 14 とマルチプレクサ回路 23 と閾値データフェッチレジスタ 2, 24 とバレルシフタ回路 22 と閾値データレジスタ 16 に対応しており、それ以外の回路は実施例 1 の図 2 で述べたものと同様である。ここで、図 21 を用いて、本実施例における閾値データ選択手段の動作を説明する。図 21 において、まず閾値データフェッチレジスタ 13 を閾値データが b_s 個単位のブロック n 個に分割する。ここで、 $b_s = t_s / n$ (小数点以下切り上げ) であり、右端または左端のブロックの閾値データ数だけ $b_s = t_s - (n - 1) * b_s$ となる。次に、2 値化する多値画像データの開始位置がどのブロックに含まれるかを判別し、閾値データ選択制御回路 14 から出力されるブロックシフト制御信号 BST に従って開始位置が含まれるブロックが先頭ブロックとなるようにブロック単位で閾値データの順序を入れ替える。そして、マルチプレクサ回路 23 で順序入れ替えを行った閾値データを閾値データフェッチレジスタ 2, 24 に格納する。次に、閾値データフェッチレジスタ 2, 24 に保持された閾値データをバレルシフタ回路 22 によって、先頭ブロック内の任意の位置から連続する w_s 個の閾値データを選択して出力し、閾値データレジスタ 16 に格納する。

【0058】

次に、本実施例における閾値データ選択制御回路 14 とマルチプレクサ回路 23 と閾値データフェッチレジスタ 2, 24 とバレルシフタ回路 22 について説明する。

【0059】

マルチプレクサ回路 23 は、閾値データフェッチレジスタ 13 に保持された閾値データを複数個からなるブロック単位でシフトして閾値データの順序を入れ替

えるものである。図22に11個の閾値データを4つのブロックに分割し、ブロック単位に閾値データの順序を入れ替えるマルチプレクサの回路構成を示す。同図において、マルチプレクサ回路23は、入力データ線 $in(0) \sim in(10)$ と、出力データ線 $out(0) \sim out(10)$ と、4入力1出力のマルチプレクサ回路 $mux(0) \sim mux(10)$ と、シフト量に応じてマルチプレクサ回路の出力信号を選択するブロックシフト制御信号 $bse1(0) \sim bse1(1)$ とから構成される。ここで、入力データ線 $in(i)$ 、出力データ線 $out(i)$ は8ビット、ブロックシフト制御信号 $bse1(i)$ は1ビットで構成される。マルチプレクサ回路 $mux(i)$ は、ブロックシフト制御信号 $bse1(0)$ 及び $bse1(1)$ の値によって、 $D(0) \sim D(3)$ に入力された値を選択出力する。例えば、 $bse1(1) bse1(0) = 00$ の場合、各マルチプレクサ回路 $mux(i)$ は $D(0)$ に入力された値を出力する。従って、この場合は入力データはシフトされずにそのまま出力される。 $bse1(1) bse1(0) = 01$ の場合は、各マルチプレクサ回路 $mux(i)$ から $D(1)$ に入力された値が出力され、結果出力データは入力データを左にブロック1個分シフトした値が得られることになる。同様にして、 $bse1(1) bse1(0) = 10$ の場合は入力データを左にブロック2個分シフトした値が、 $bse1(1) bse1(0) = 11$ の場合は入力データを左にブロック3個分シフトした値が出力される。

【0060】

閾値データフェッチレジスタ2, 24は、マルチプレクサ回路23から出力される ts 個の閾値データを、後段の処理に備えて一時的に保持するためのレジスタである。閾値データフェッチレジスタ2, 24は、例えば ts 個のDフリップフロップを用いて構成され、閾値データ選択制御回路14から入力されるロード信号 $LDD1$ がアクティブの時、図示しないシステムクロック信号に同期して、 ts 個の閾値データを同時に取りこむよう構成されている。パレルシフタ回路22は、実施例2で説明したものと同様の構成である。

【0061】

次に、図23および図24を用いて、閾値データフェッチレジスタ2, 24に保持された閾値データ ts 個のうち、任意の位置から連続する ws 個の閾値デー

タを選択して出力するための、バレルシフタ回路 22 の動作を説明する。図 23 は、入力データ線が 8 ビット×11、出力データ線が 8 ビット×8 の場合、つまり $t_s \geq w_s$ の場合のバレルシフタ回路 22 の動作を説明する図である。図 23 において、画素位置 $(c_x 0, c_y 0)$ から連続する 8 画素分の多値画像データ 0~2 を 2 値化すると想定する。閾値データフェッチレジスタ 2, 24 にロードされる $c_y 0$ に対応する 1 ライン分の閾値データのうち、 $c_x 0$ に対応する閾値データは入力データ線 $i_n(2)$ に入力されるものであったとする。なお、先述したマルチプレクサ回路 23 によって $c_x 0$ に対応する閾値データを含むブロックが先頭にシフトしているため、 $c_x 0$ に対応する閾値データは、本例では入力データ線 $i_n(0) \sim i_n(2)$ のいずれかに必ず入力されることになる。この場合では、 $c_x 0$ に対応する閾値データは入力データ線 $i_n(2)$ に入力されるものとしたので、バレルシフタ制御信号として $sel(1) sel(0) = 10$ が入力され、各マルチプレクサ回路 $mux(i)$ の $D(2)$ に入力された値が出力、つまり入力データが左に 2 個シフトされて、入力データ線 $i_n(2)$ に入力された多値画像データ 0 に対応する閾値データが出力データ線 $out(0)$ へ出力され、以下各閾値データは対応する出力データ線へ出力される。入力データ線 $i_n(0)$, $i_n(1)$, $i_n(10)$ に入力された閾値データは、図 23 に示した 2 値化処理では使用されない。

【0062】

図 24 は、入力データ線が 8 ビット×11、出力データ線が 8 ビット×13 の場合、つまり $t_s < w_s$ の場合のバレルシフタ回路 22 の動作を説明する図である。図 24 において、画素位置 $(c_x 0, c_y 0)$ から連続する 13 画素分の多値画像データ 0~12 を 2 値化すると想定する。閾値データフェッチレジスタ 2, 24 にロードされる $c_y 0$ に対応する 1 ライン分の閾値データのうち、 $c_x 0$ に対応する閾値データは入力データ線 $i_n(2)$ に入力されるものであったとする。なお、先述したマルチプレクサ回路 23 によって $c_x 0$ に対応する閾値データを含むブロックが先頭にシフトしているため、 $c_x 0$ に対応する閾値データは、本例では入力データ線 $i_n(0) \sim i_n(2)$ のいずれかに必ず入力されることになる。この場合では、 $c_x 0$ に対応する閾値データは入力データ線 $i_n(2)$

）に入力されるものとしたので、バレルシフト制御信号として $sel(1)$ $sel(0) = 10$ が入力され、各マルチプレクサ回路 $mux(i)$ の $D(2)$ に入力された値が出力、つまり入力データが左に 2 個シフトされて、入力データ線 $in(2)$ に入力された、多値画像データ 0、4 に対応する閾値データが出力データ線 $out(0)$ 、 $out(4)$ へ出力され、以下各閾値データは対応する出力データ線へ出力される。実施例 1 の図 11 での説明と同様、図 24 で入力データ線 $in(2)$ 、 $in(3)$ に入力された閾値データがそれぞれ 2 つの出力データ線に出力されているように、 $ts < ws$ の場合には 1 つの閾値データが複数出力される点が図 23 の場合 ($ts \geq ws$) と異なっている。

【0063】

閾値データ選択制御回路 14 は、ハーフトーン処理される多値画像データ 0 の主走査ライン方向の画素位置を表す信号 $cx0$ に基づき、ブロックシフト制御信号 $BSFT$ 及びバレルシフト制御信号 SFT を出力すると共に、マルチプレクサ回路 23 によってブロック単位の順序入れ替えが行われた ts 個の閾値データが出力されるタイミングに応じて、閾値データフェッチレジスタ 2、24 に ts 個の閾値データをロードするためのロード信号 $LDF2$ と、バレルシフト回路 22 から選択された ws 個の閾値データが出力されるタイミングに応じて、閾値データレジスタ 16 に ws 個の閾値データをロードするためのロード信号 LDD を出力する。ブロックシフト制御信号 $BSFT$ は ns ビット幅 ($ns = \log_2 n$ (小数点以下切り上げ)) の信号で、入力データを最大 $n-1$ 個分ブロック単位で左方向にシフトする動作を制御するものである。また、バレルシフト制御信号 SFT は ss ビット幅 ($ss = \log_2 bs$ (小数点以下切り上げ)) の信号で、入力データを最大 $bs-1$ 個分左方向にシフトする動作を制御するものである。図 25 にブロックシフト制御信号 $BSFT$ 及びバレルシフト制御信号 SFT を生成するデータパスの構成を示す。同図において、閾値データ選択制御回路 14 は、 bs の値を格納するレジスタ 52 と、 $cx0 / bs$ の演算を実行する除算器 53 とを備える。上記構成において、除算器 53 より算出される商がブロックシフト制御信号 $BSFT$ として、剰余がバレルシフト制御信号 SFT として出力される。

【0064】

以上、本実施例のハードウェア構成で実施例1～3と異なる部分について説明した。本実施例の構成によれば、ブロック単位のシフトを制御するマルチプレクサ回路23を設けることにより、バレルシフタのみの場合に比べて、バレルシフタのシフト数が最大ブロックを構成するビット幅以下で済むことになり、シフト処理に要する遅延時間を短くすることができる。従って、実施例2、3の場合に比べてより高速にパイプラインを動作させることができる。

【0065】

また、本実施例では、バレルシフタ回路22は左方向シフトとして説明をしたが、実施例3と同様に双方向バレルシフタで構成してもよく、多値画像データの開始位置 $c \times 0$ が、閾値データの単位ブロックにおいて先頭ビットから中央ビットの間にある時は、まず、マルチプレクサ回路23によって $c \times 0$ を含むブロックを左端にシフトし、次に左方向バレルシフタで最大 $b \cdot s / 2$ のシフトを行う。一方、多値画像データの開始位置 $c \times 0$ が、閾値データの単位ブロックにおいて中央ビットから最後尾ビットの間にある時は、まず、マルチプレクサ回路23によって $c \times 0$ を含むブロックを右端にシフトし、次に右方向バレルシフタで最大 $b \cdot s / 2$ のシフトを行う。これにより、バレルシフタのシフト数をさらに減少させることができ、一方向シフトの場合に比べてより高速にパイプラインを動作させることができる。

【0066】

なお、本実施例によるハーフトーン処理装置も、マルチプレクサ回路23による閾値データのブロック単位シフトと、閾値データフェッチレジスタ2、24への $t \cdot s$ 個の閾値データのロード処理と、バレルシフタ回路22による閾値データ選択と閾値データレジスタ16への $w \cdot s$ 個の閾値データのロード処理がパイプラインの1ステージとして動作するため、全体として6ステージパイプライン動作するように構成されている。

【0067】

以上、本発明の複数の実施例について説明したが、本発明は上述した実施例に限定されるものではなく、上述の実施例の構成を適宜組み合わせた構成も含むも

のである。例えば、実施例 4 で説明した閾値格納メモリから読み出された閾値データをブロック単位でシフト処理を実行するマルチプレクサ構成を他の実施例に適用することが可能である。すなわち実施例 4 のマルチプレクサによるシフト処理済みのブロック単位の閾値データを実施例 1 で説明したクロスバススイッチ回路に対する入力閾値データとする構成が可能であり、また、同様に実施例 3 で説明した左右の一方向バレルシフタ回路に対する入力とする構成も可能である。

【0068】

【発明の効果】

以上説明したように、本発明のハーフトーン生成装置およびハーフトーン生成方法によれば、多値画像を形成する複数の画素データと複数の閾値データの比較処理を並列に処理可能な構成とし、また、閾値マトリクスデータ格納メモリからの走査ラインに適用する全閾値データの読み出しを例えば 1 回の読み出しサイクルによる一括処理として実行する構成としたので、高速なハーフトーンデータ供給が可能となる。

【0069】

さらに閾値マトリクスデータ格納メモリから読み出した走査ラインに適用する全閾値データの中から並列比較処理に必要な複数の閾値データを選択する選択処理と、複数のコンパレータを用いた並列比較処理等の一連の処理をパイプライン処理構成としたりで、複数画素のハーフトーンデータを順次繰り返して出力することができ、高速なハーフトーンデータ供給が可能となる。

【図面の簡単な説明】

【図 1】 本発明のハーフトーン生成装置の基本的構成を示すブロック図である。

【図 2】 実施例 1 のハーフトーン生成装置のハードウェア構成を示す図である。

【図 3】 実施例 1 のメモリ構成および閾値マトリクスデータ格納状況を説明する図である。

【図 4】 閾値データ読み出し制御回路 11 の内部構成を示すブロック図である。

- 【図 5】 閾値データ選択制御回路 14 の内部構成を示すブロック図である。
- 【図 6】 バイナリデコーダの真理値表を示す図である。
- 【図 7】 クロスバスイッチ 15 のデータパスの構成を示す図である。
- 【図 8】 クロスバスイッチ 15 の制御パスの構成を示す図である。
- 【図 9】 スイッチ $sw(i, j)$ の内部構成を示す図である。
- 【図 10】 $ts \geq ws$ の場合のクロスバスイッチ 15 の動作を説明する図である。
- 【図 11】 $ts < ws$ の場合のクロスバスイッチ 15 の動作を説明する図である。
- 【図 12】 従来の代表的なハーフトーン生成処理を実行するハードウェア構成図である。
- 【図 13】 実施例 2 のハーフトーン生成装置のハードウェア構成例を示す図である。
- 【図 14】 実施例 2 のバレルシフタ回路 22 のデータパスの構成を示す図である。
- 【図 15】 $ts \geq ws$ の場合のバレルシフタ回路 22 の動作を説明する図である。
- 【図 16】 $ts < ws$ の場合のバレルシフタ回路 22 の動作を説明する図である。
- 【図 17】 実施例 2 の閾値データ選択制御回路 14 の内部構成を示す図である。
- 【図 18】 実施例 3 のハーフトーン生成装置のハードウェア構成例を示す図である。
- 【図 19】 実施例 3 のバレルシフタ回路 22 のデータパスの構成を示す図である。
- 【図 20】 実施例 3 の閾値データ選択制御回路 14 の内部構成を示す図である。
- 【図 21】 実施例 4 のハーフトーン生成装置のハードウェア構成例を示す図である。

【図 2 2】 マルチプレクサ回路 2 3 のデータパスの構成を示す図である。

【図 2 3】 実施例 4 の $t_s \geq w_s$ の場合のバレルシフト回路 2 2 の動作を説明する図である。

【図 2 4】 実施例 4 の $t_s < w_s$ の場合のバレルシフト回路 2 2 の動作を説明する図である。

【図 2 5】 実施例 4 の閾値データ選択制御回路 1 4 の内部構成を示す図である。

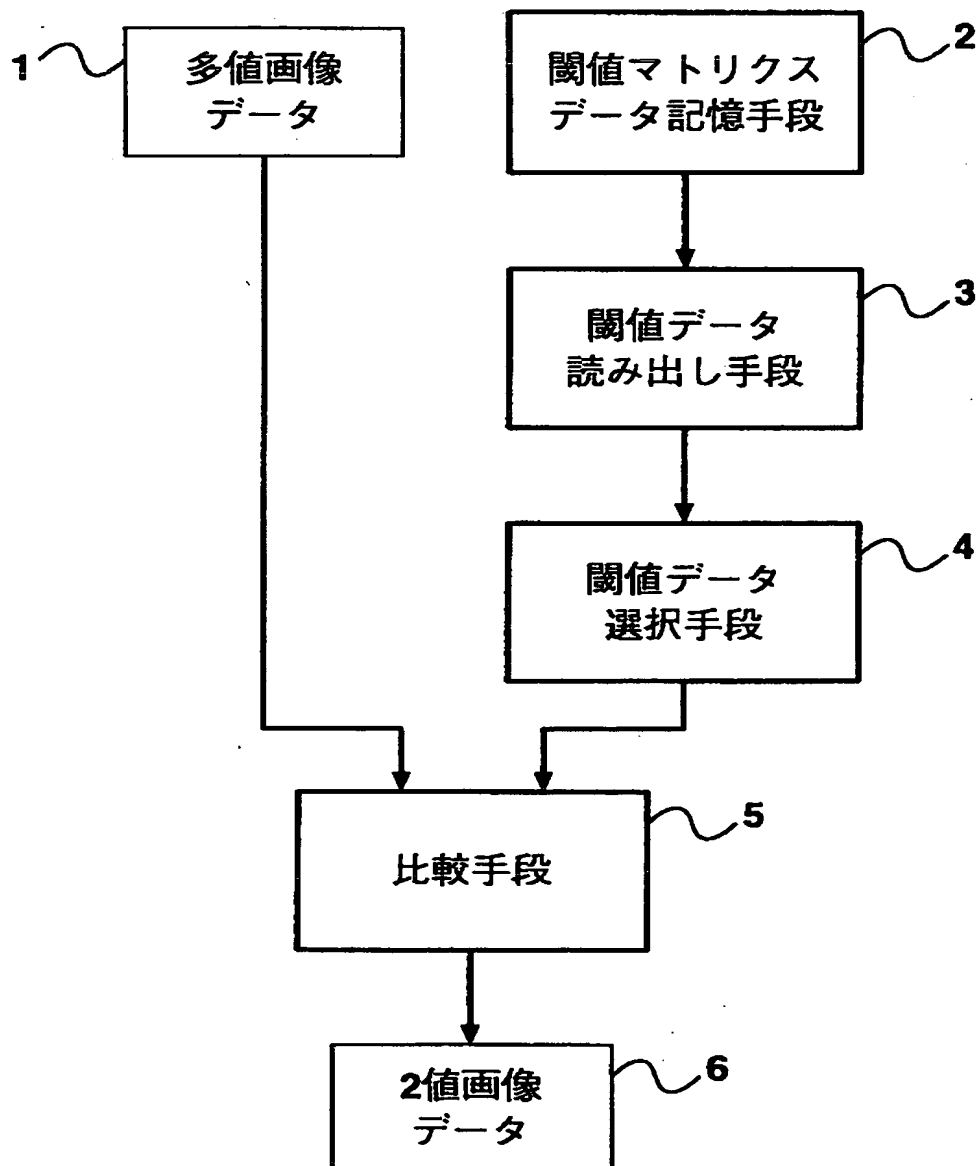
【符号の説明】

- 1 多値画像データ
- 2 閾値マトリクスデータ記憶手段
- 3 閾値データ読み出し手段
- 4 閾値データ選択手段
- 5 比較手段
- 6 2 値画像データ
- 1 1 閾値データ読み出し制御回路
- 1 2 閾値マトリクスデータ格納メモリ
- 1 3 閾値データフェッチレジスタ
- 1 4 閾値データ選択制御回路
- 1 5 クロスバススイッチ回路
- 1 6 閾値データレジスタ
- 1 7 コンパレータ
- 2 2 バレルシフト
- 2 3 マルチプレクサ
- 2 4 閾値データフェッチレジスタ
- 2 2 1 左方向バレルシフト
- 2 2 2 右方向バレルシフト

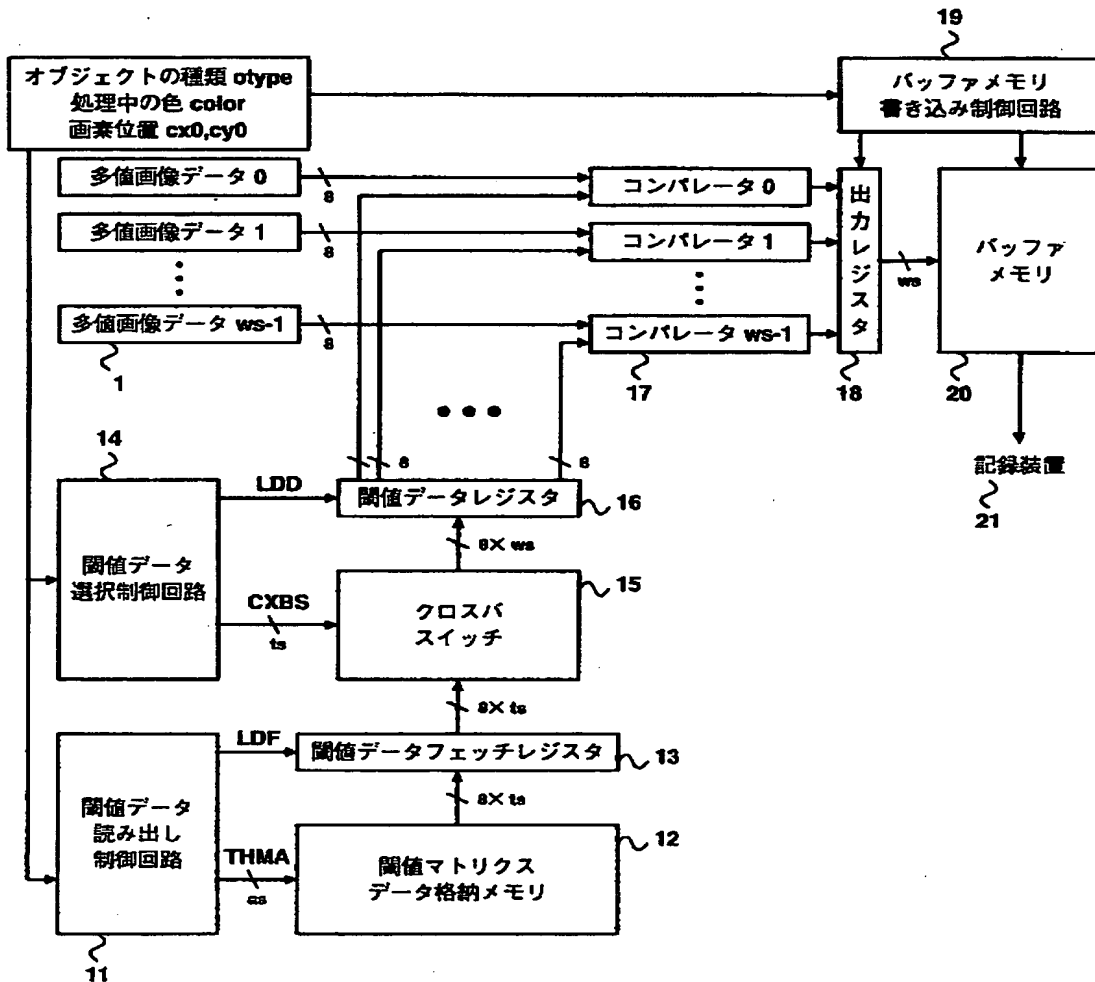
【書類名】

図面

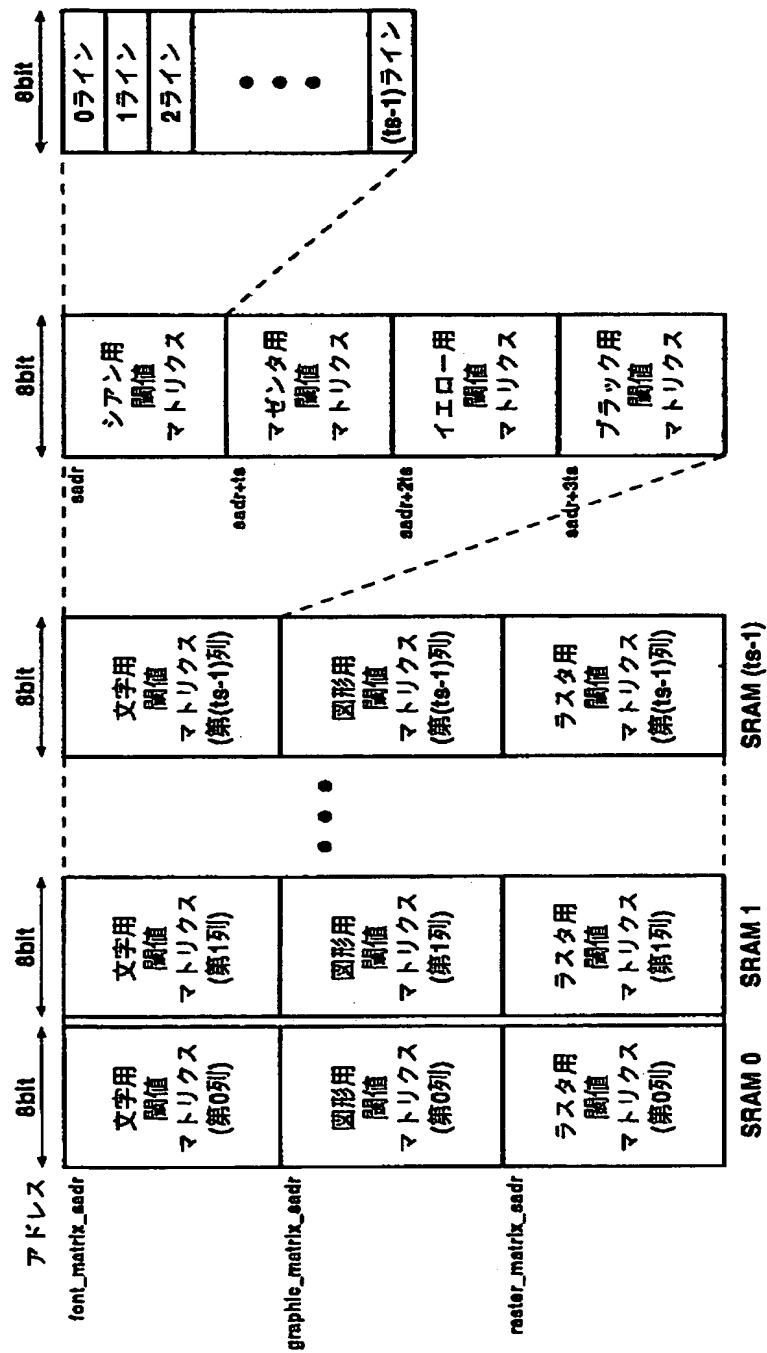
【図 1】



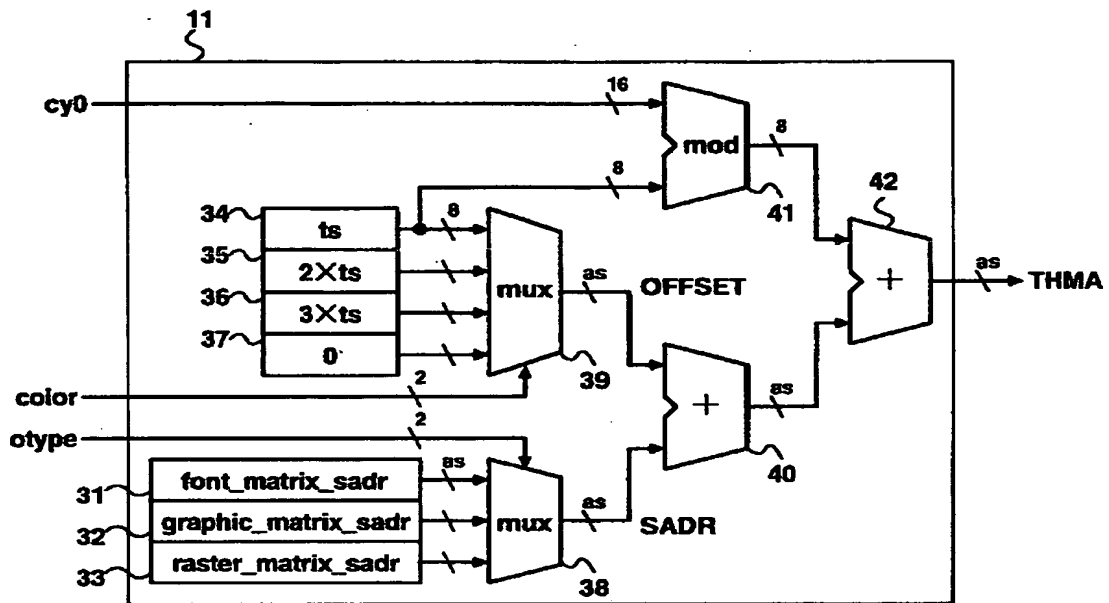
【図 2】



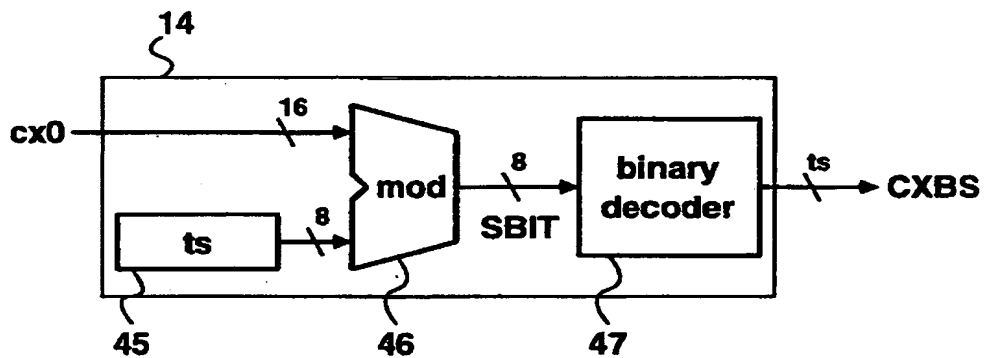
【図 3】



【図 4】



【図 5】

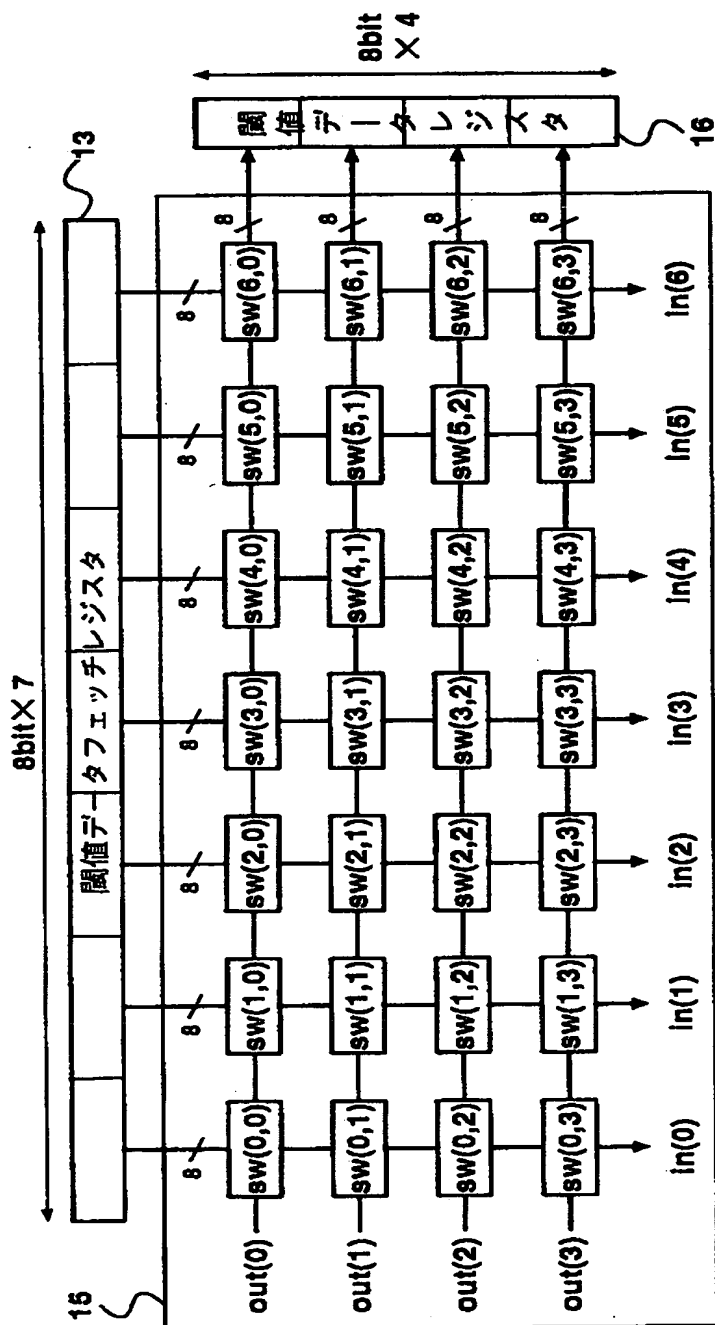


【図 6】

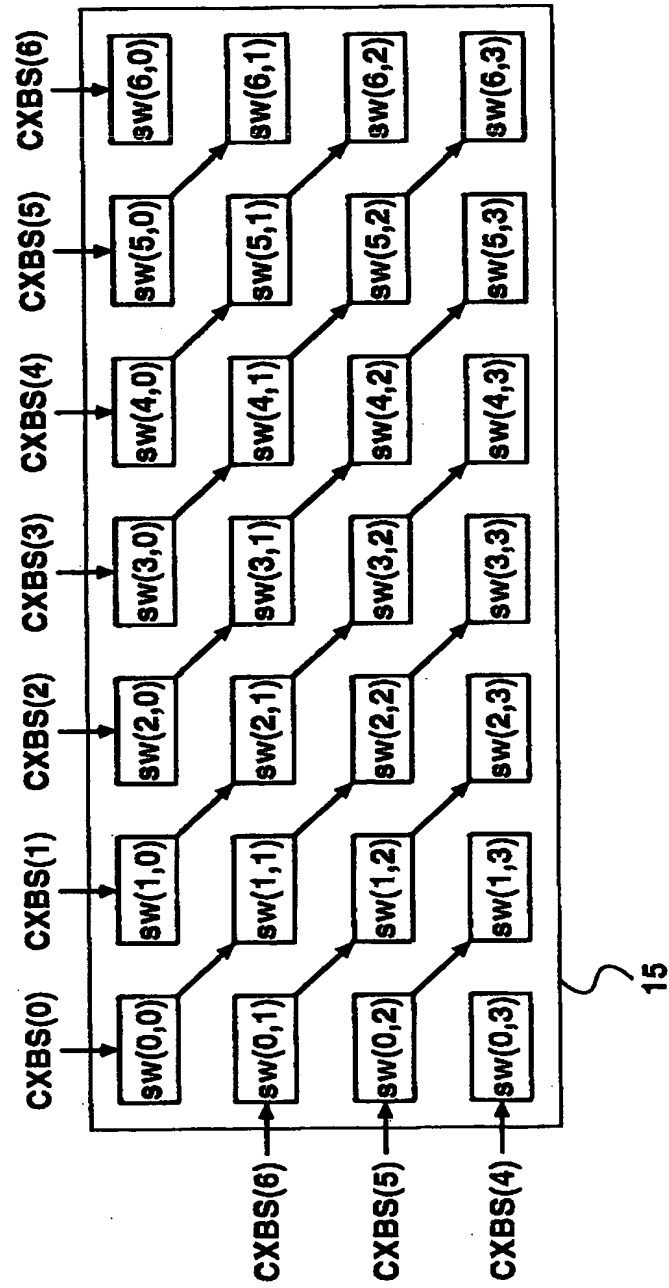
バイナリデコーダ真理値表

入力 (3bit)	出力 (8bit)
000	10000000
001	01000000
010	00100000
011	00010000
100	00001000
101	00000100
110	00000010
111	00000001

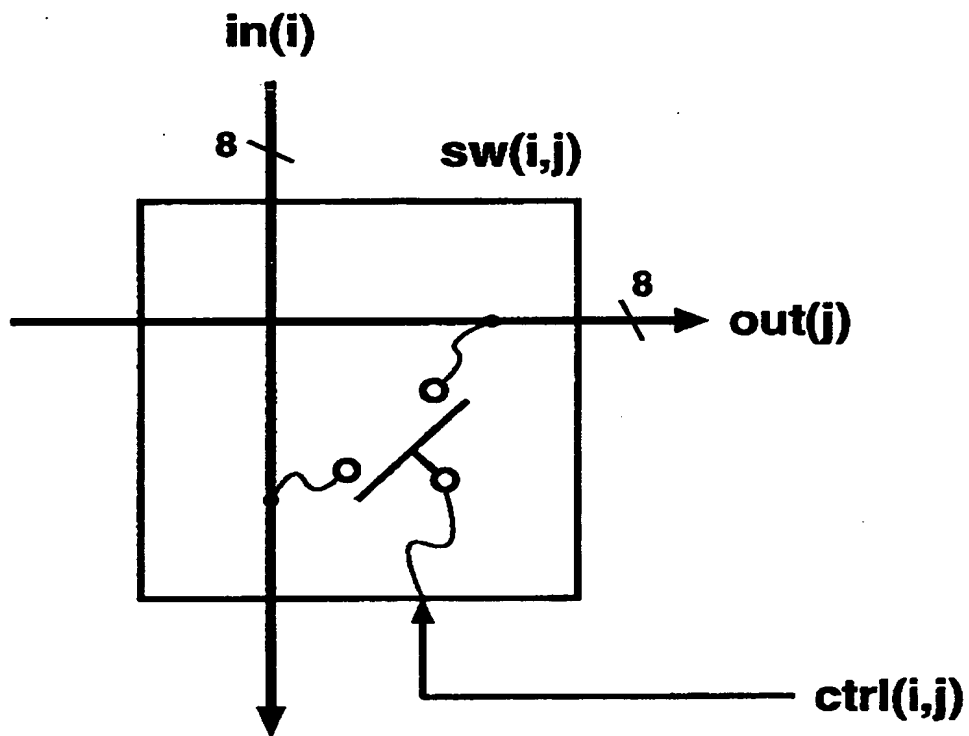
【図 7】



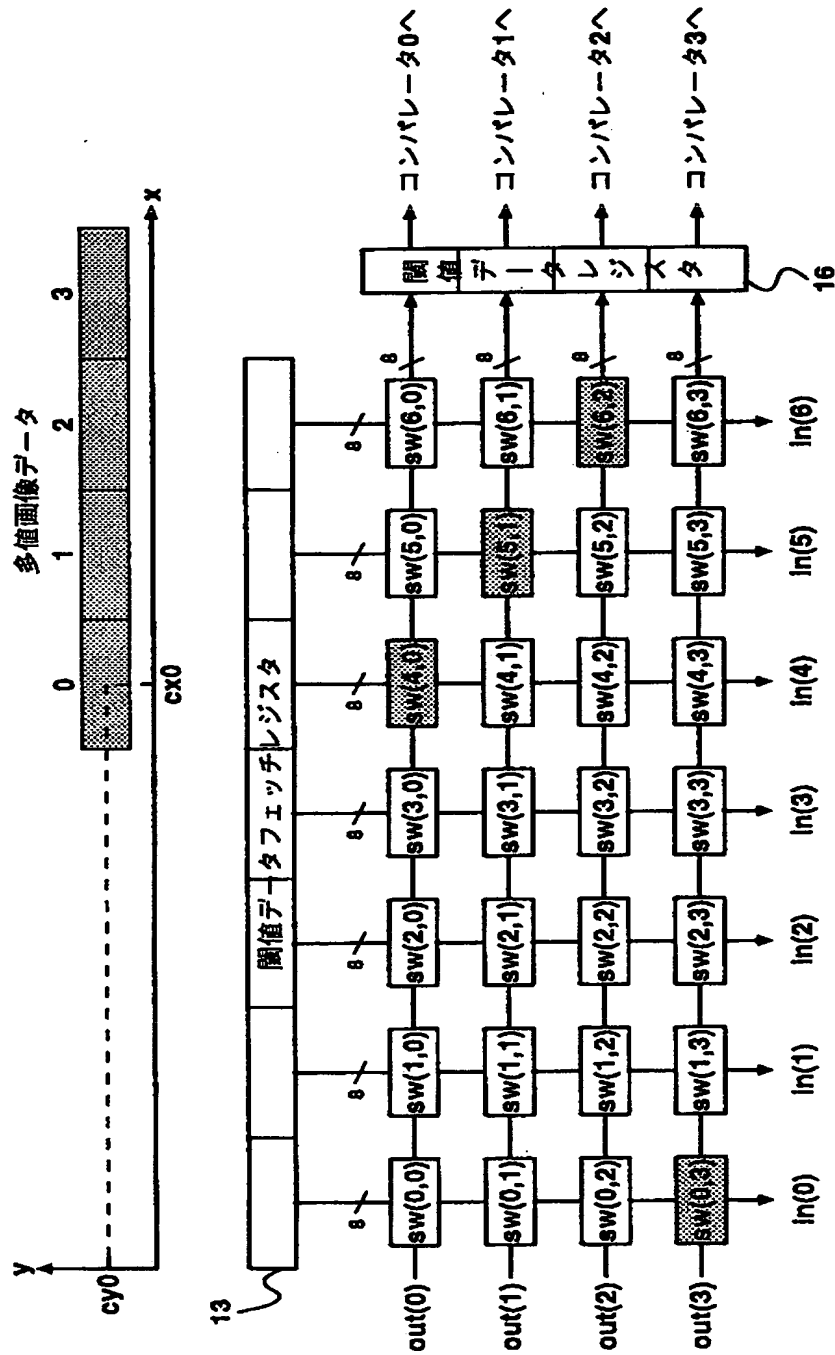
【図 8】



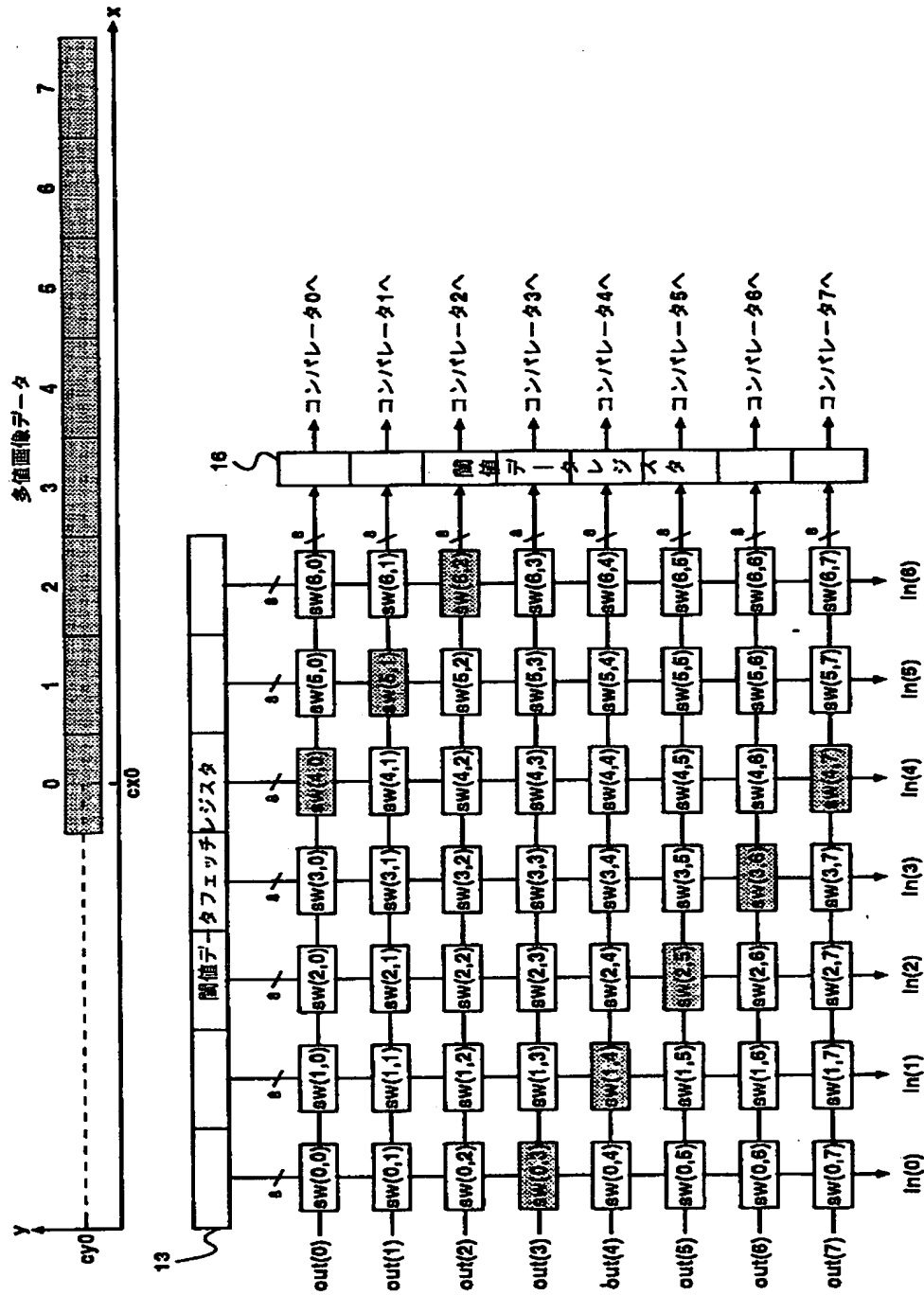
【図 9】



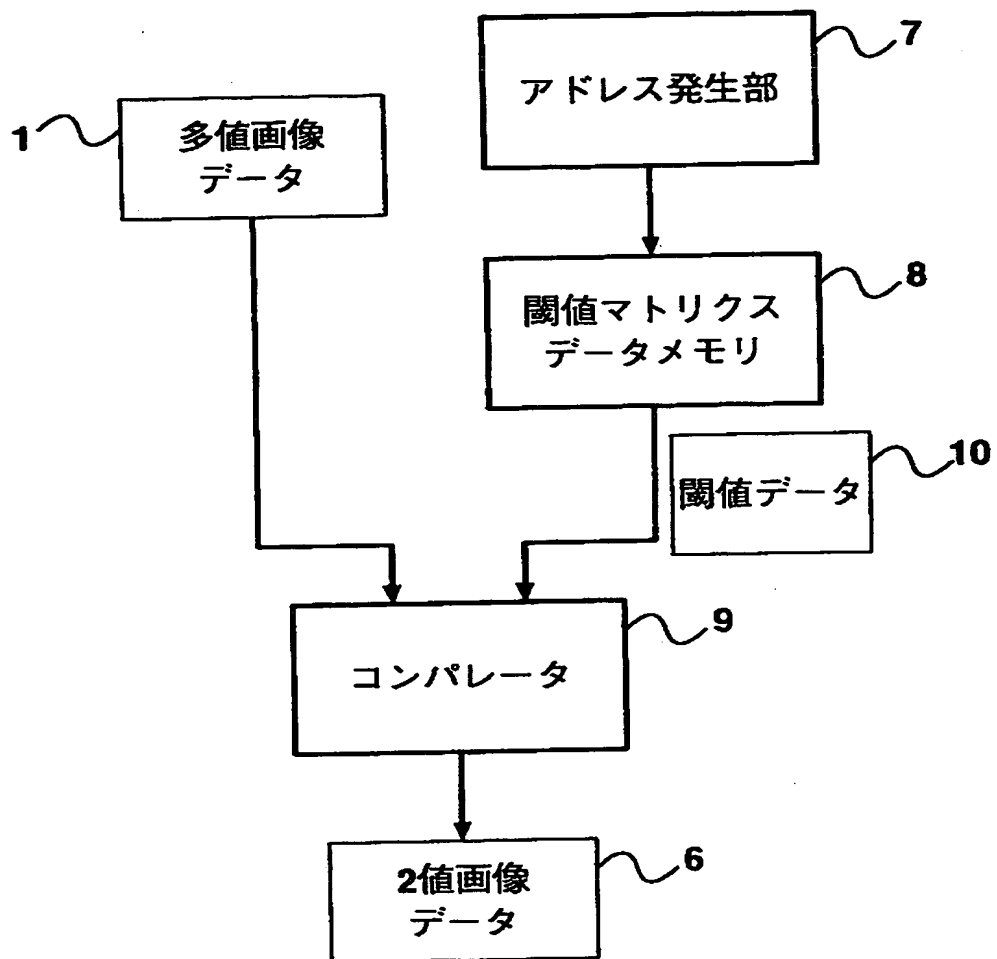
【図 10】



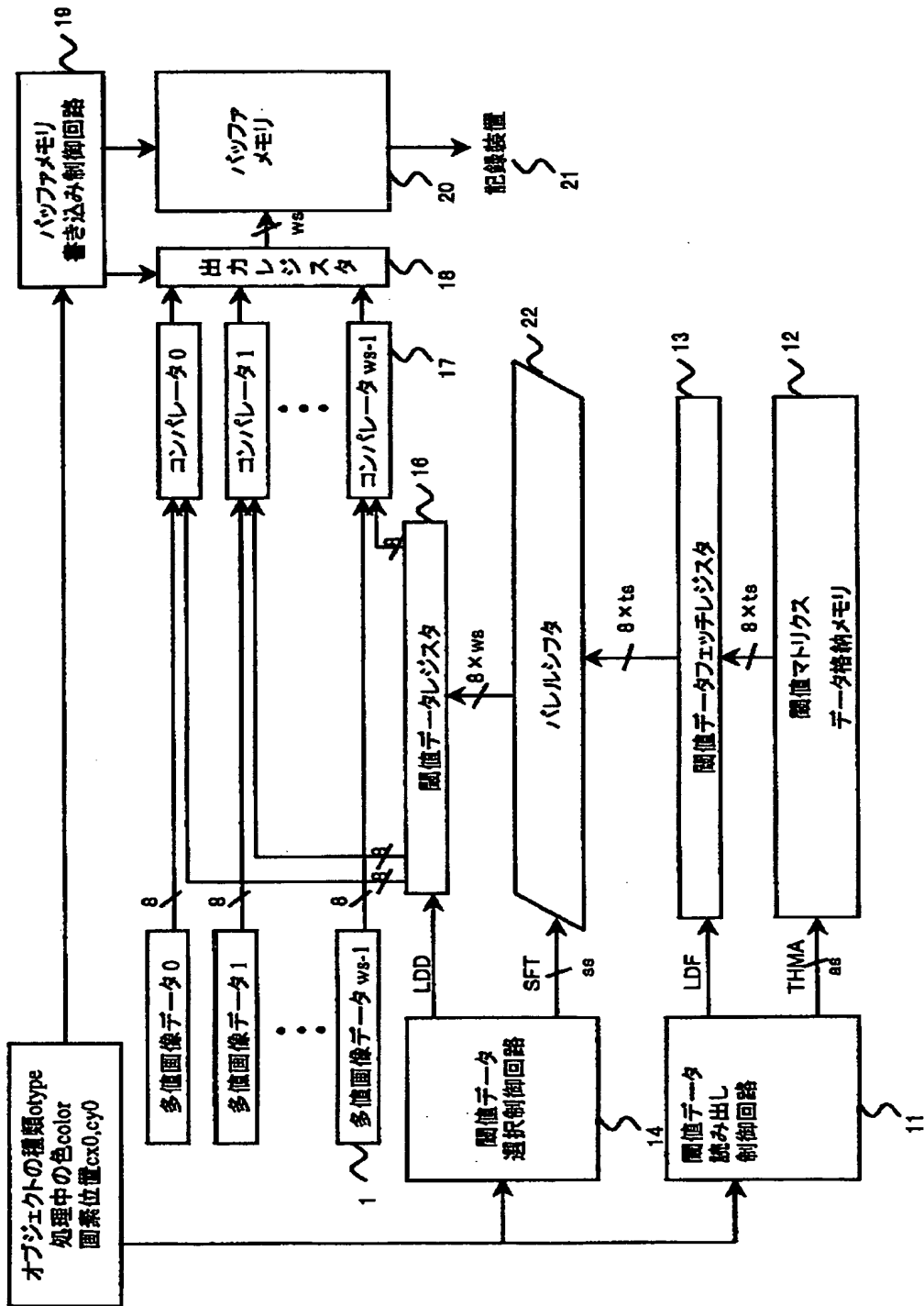
【図 11】



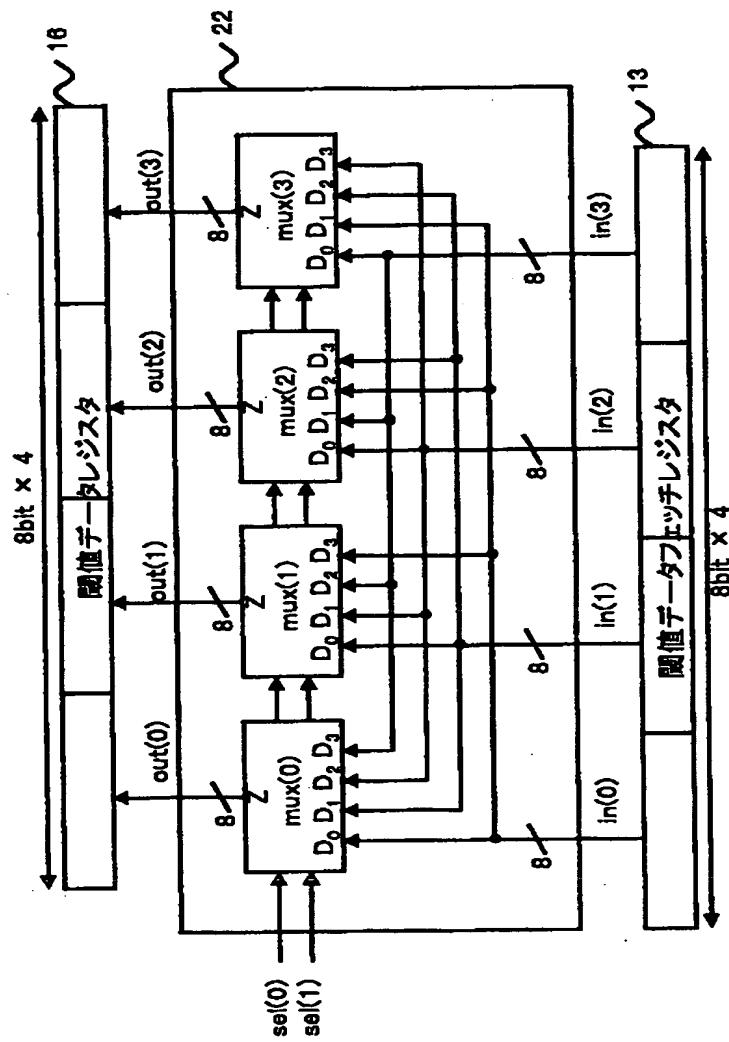
【図 12】



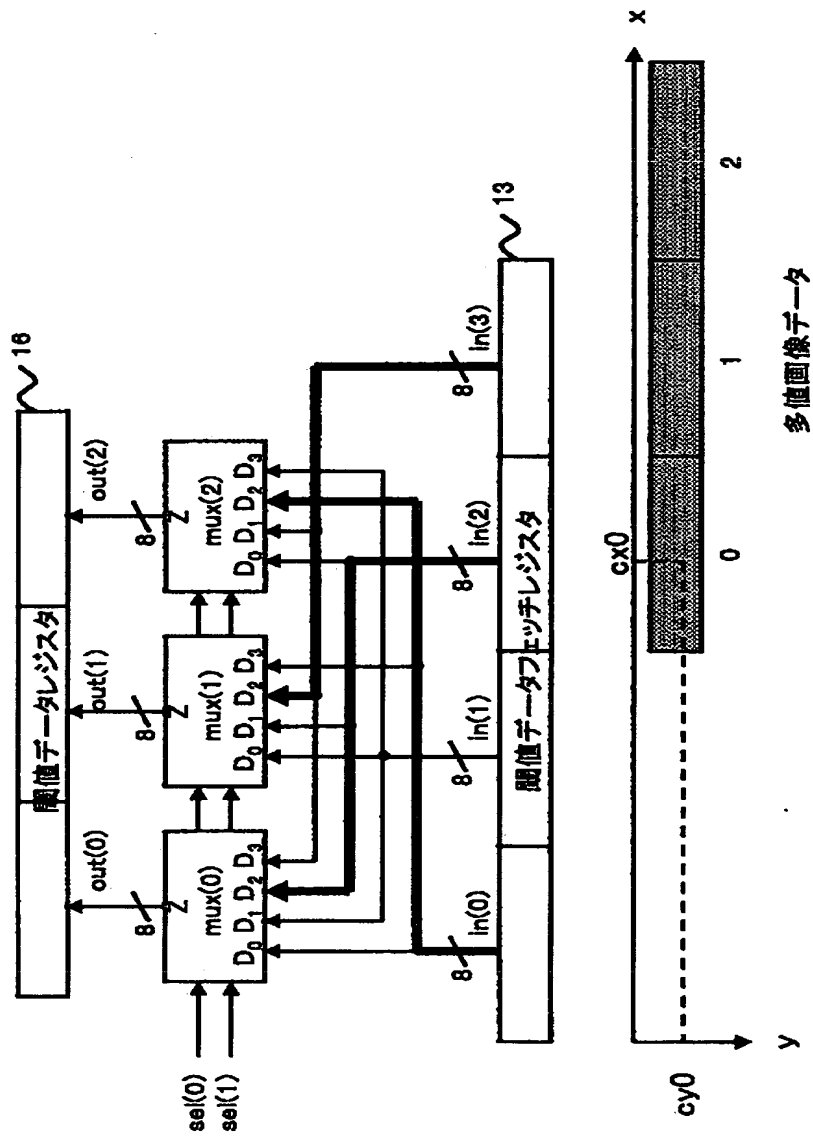
【図 13】



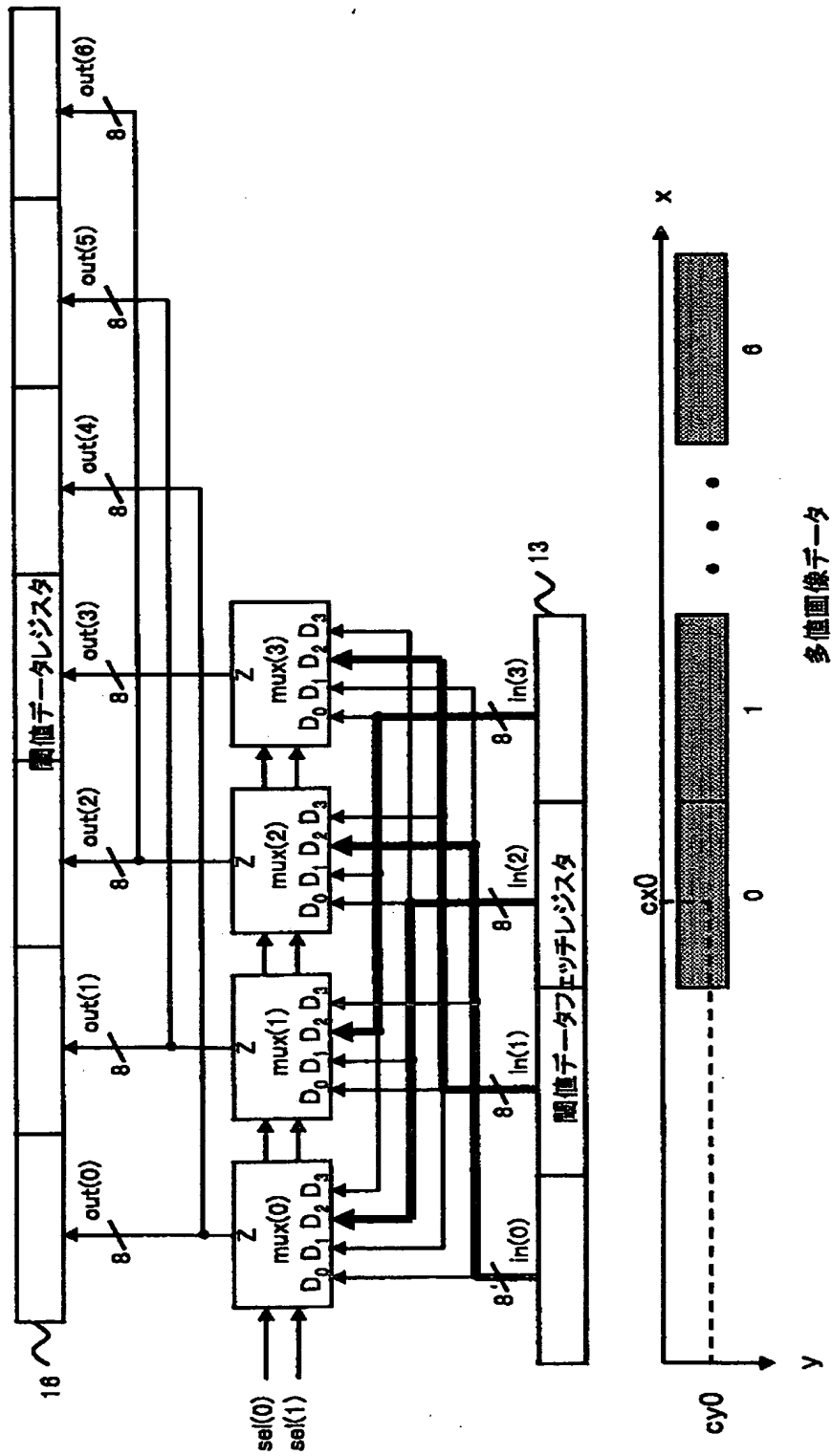
【図 14】



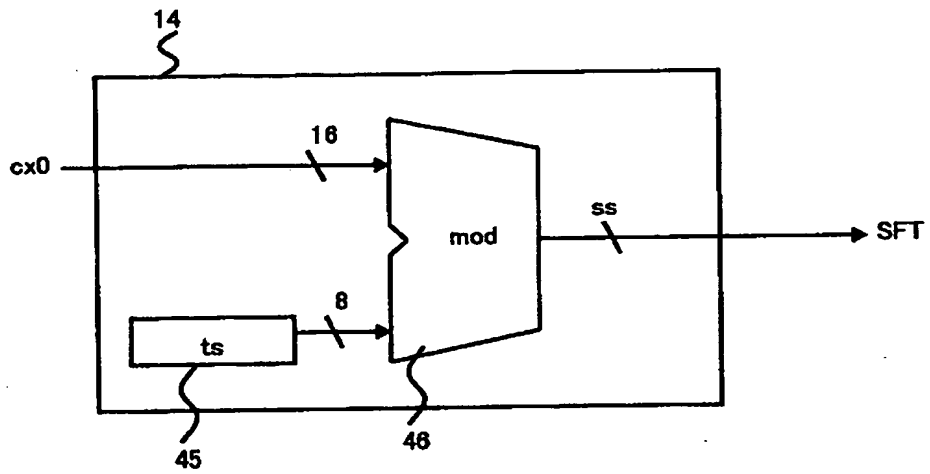
【図 15】



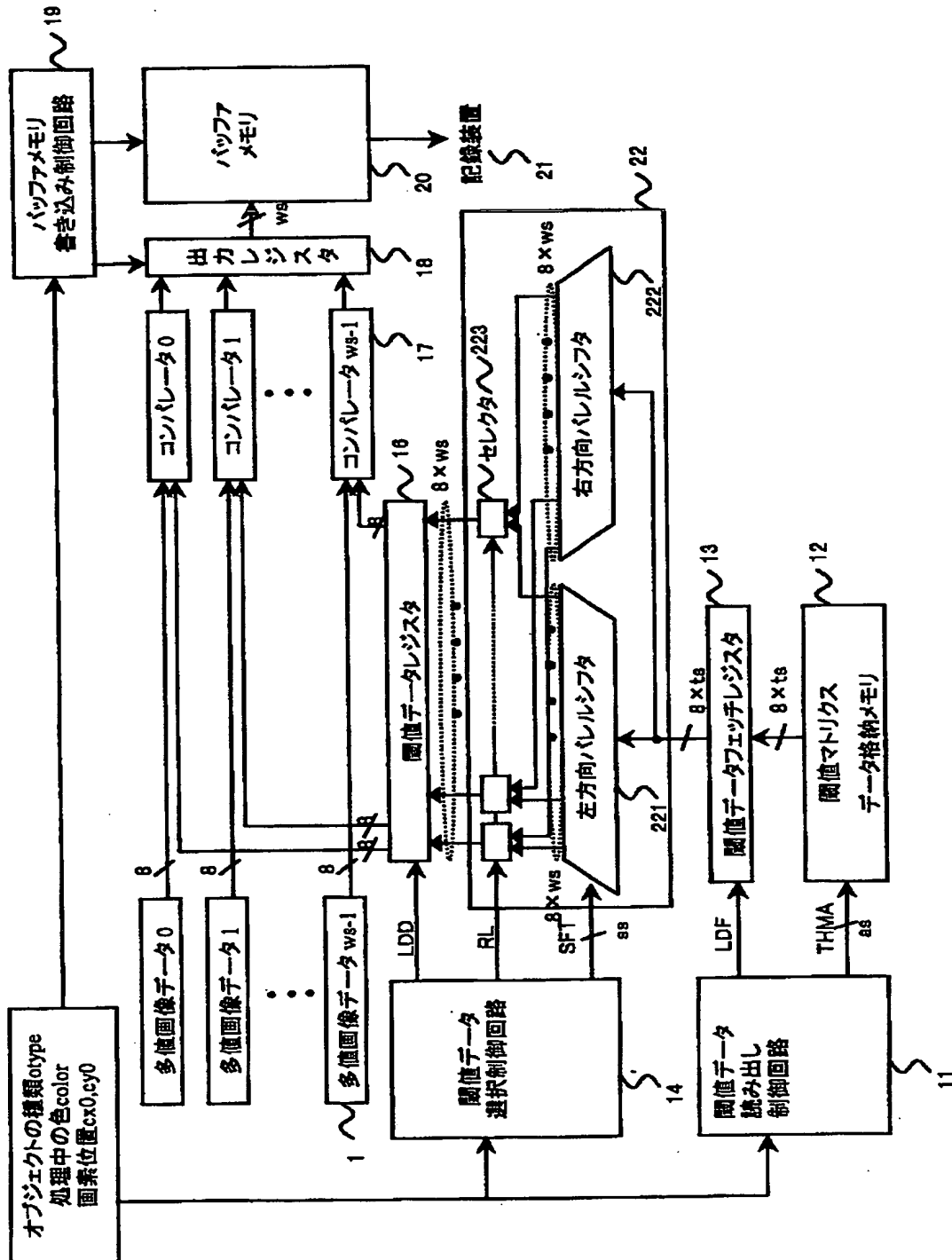
【図 16】



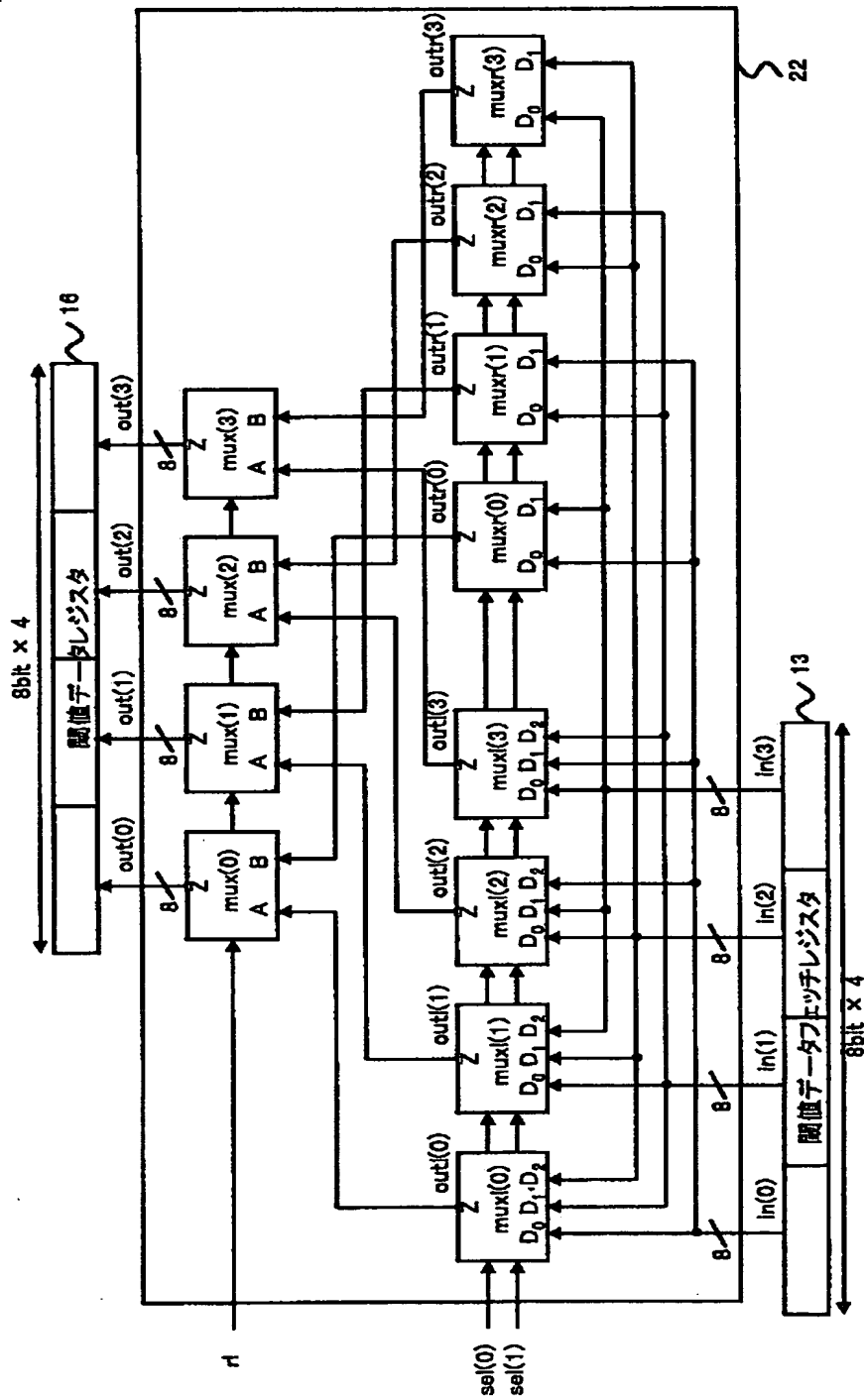
【図 17】



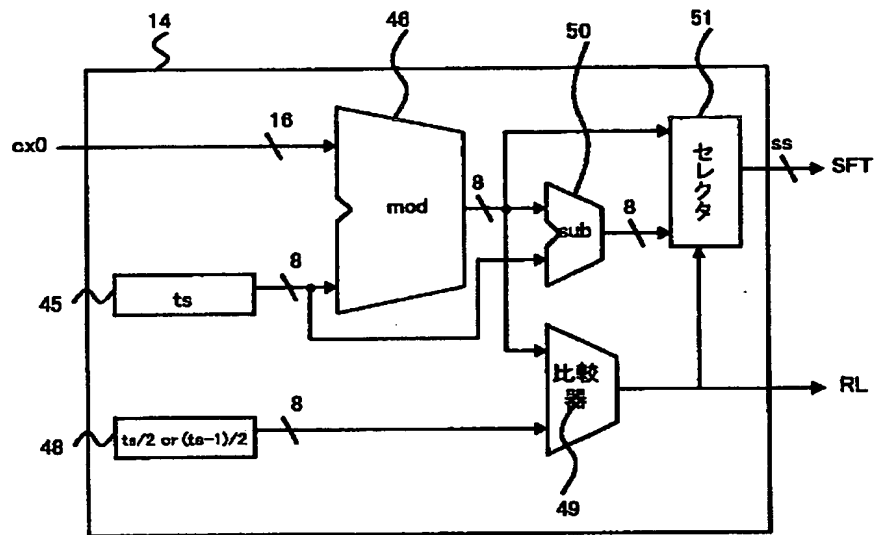
【図 18】



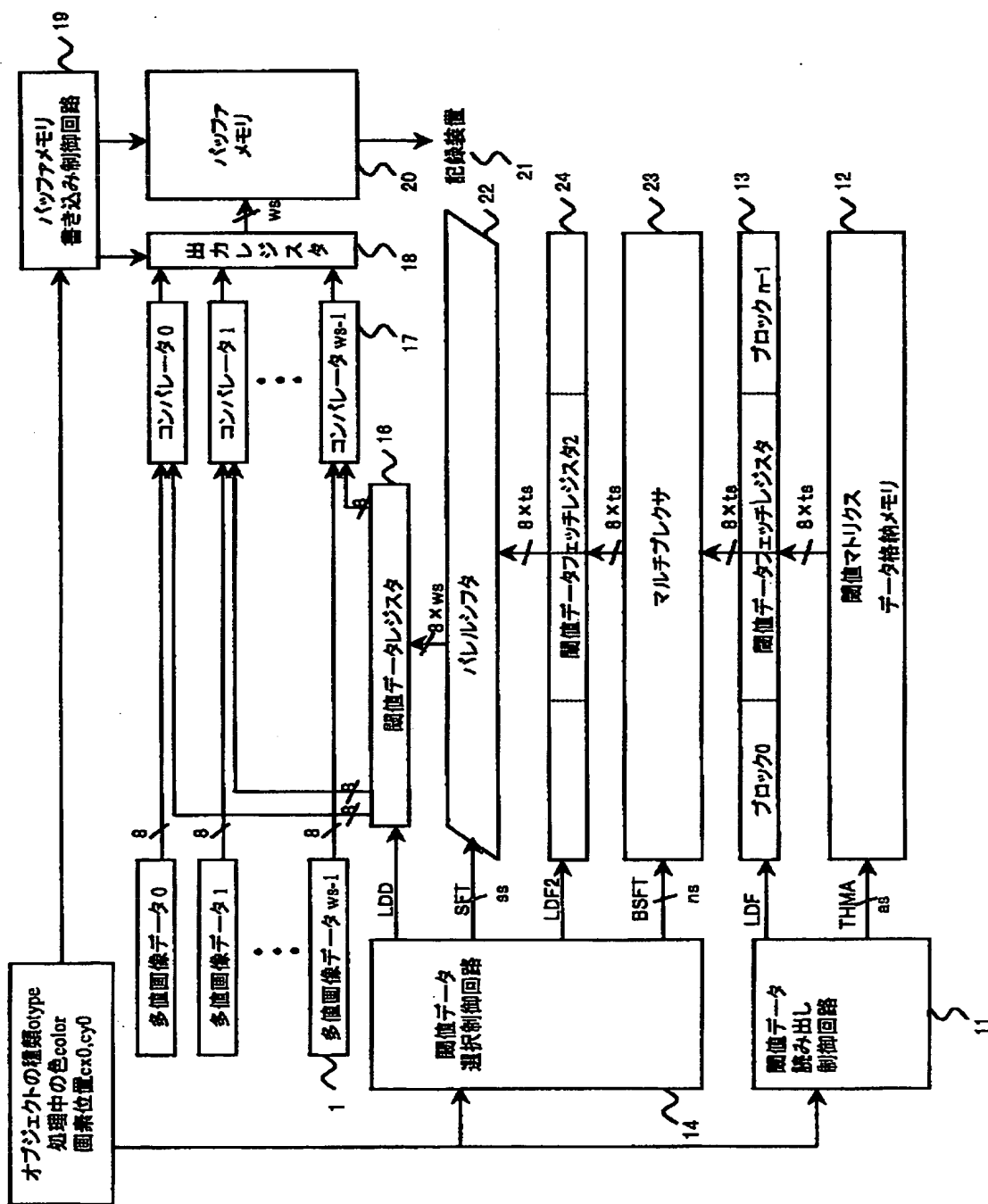
【図 19】



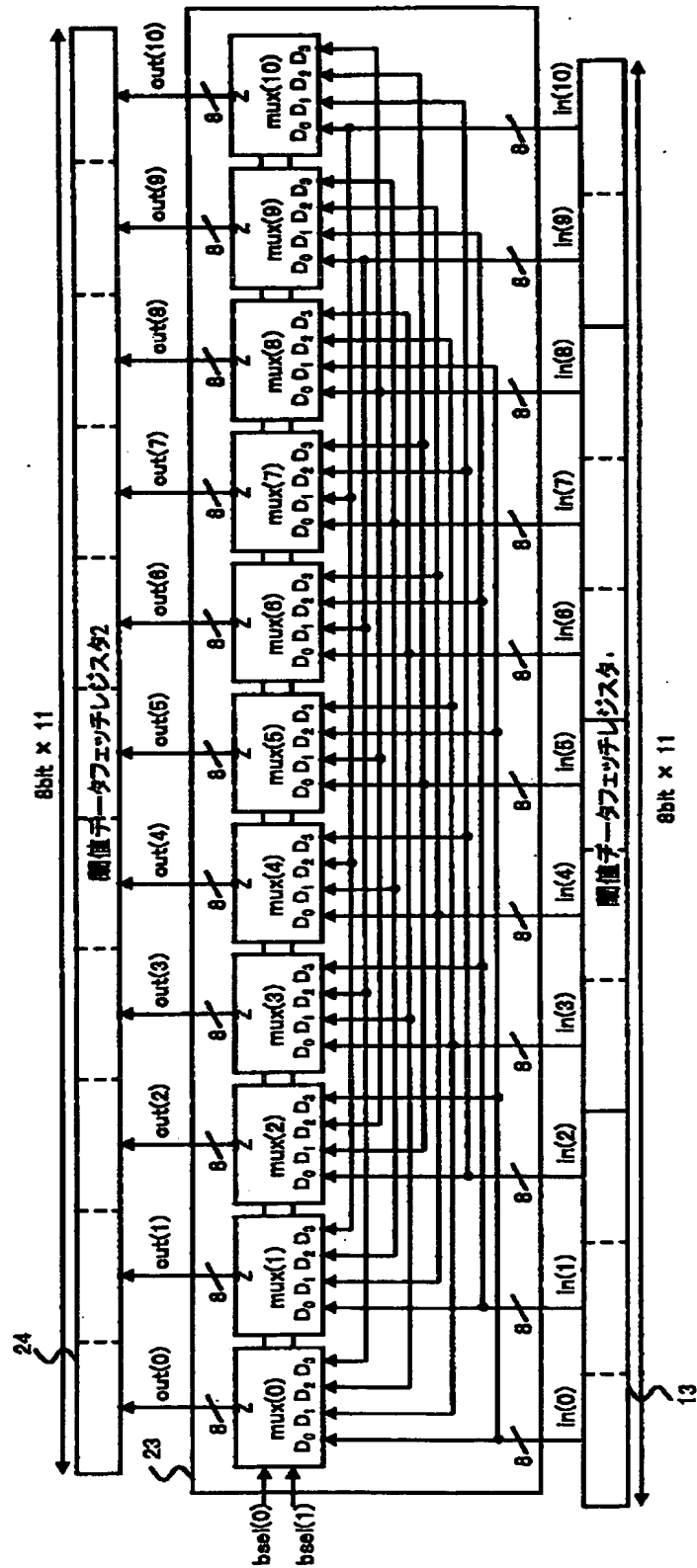
【図 20】



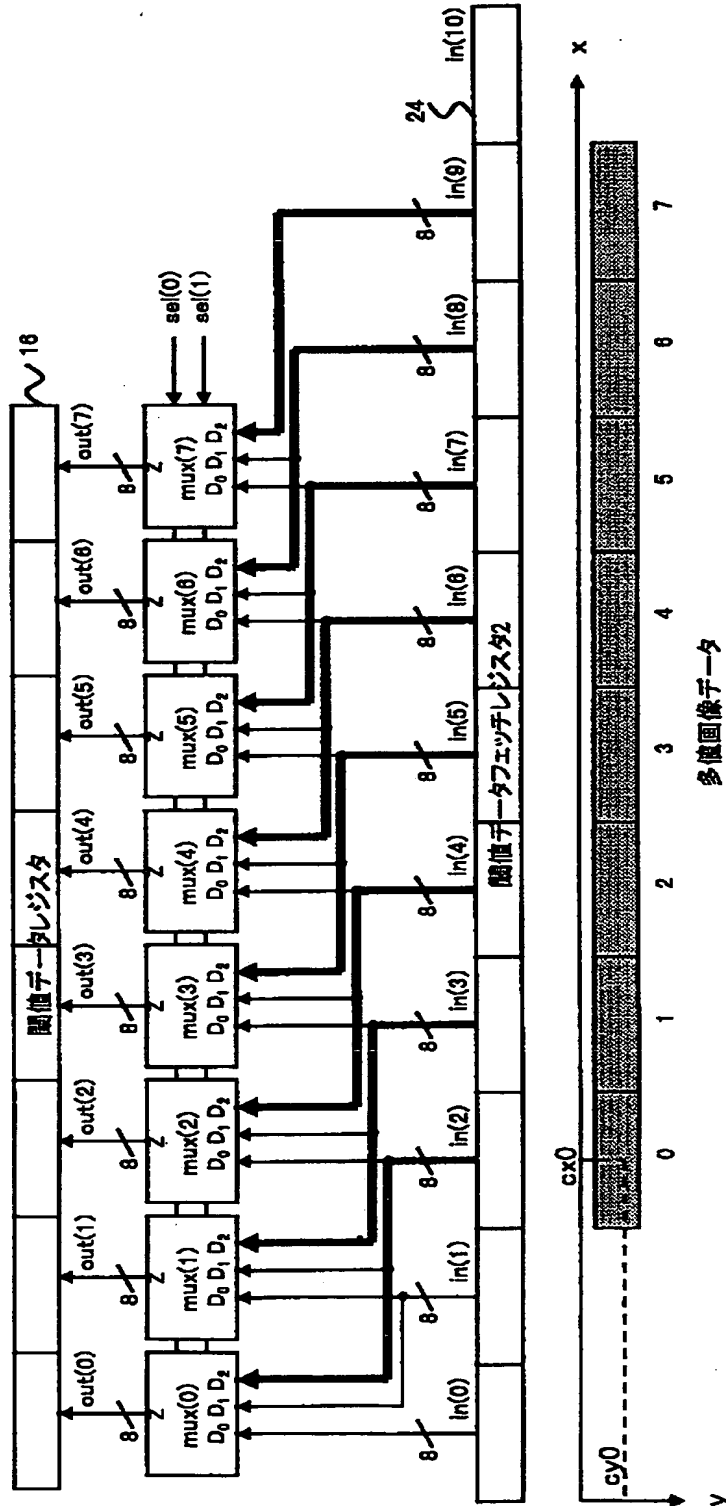
【图 2 1】



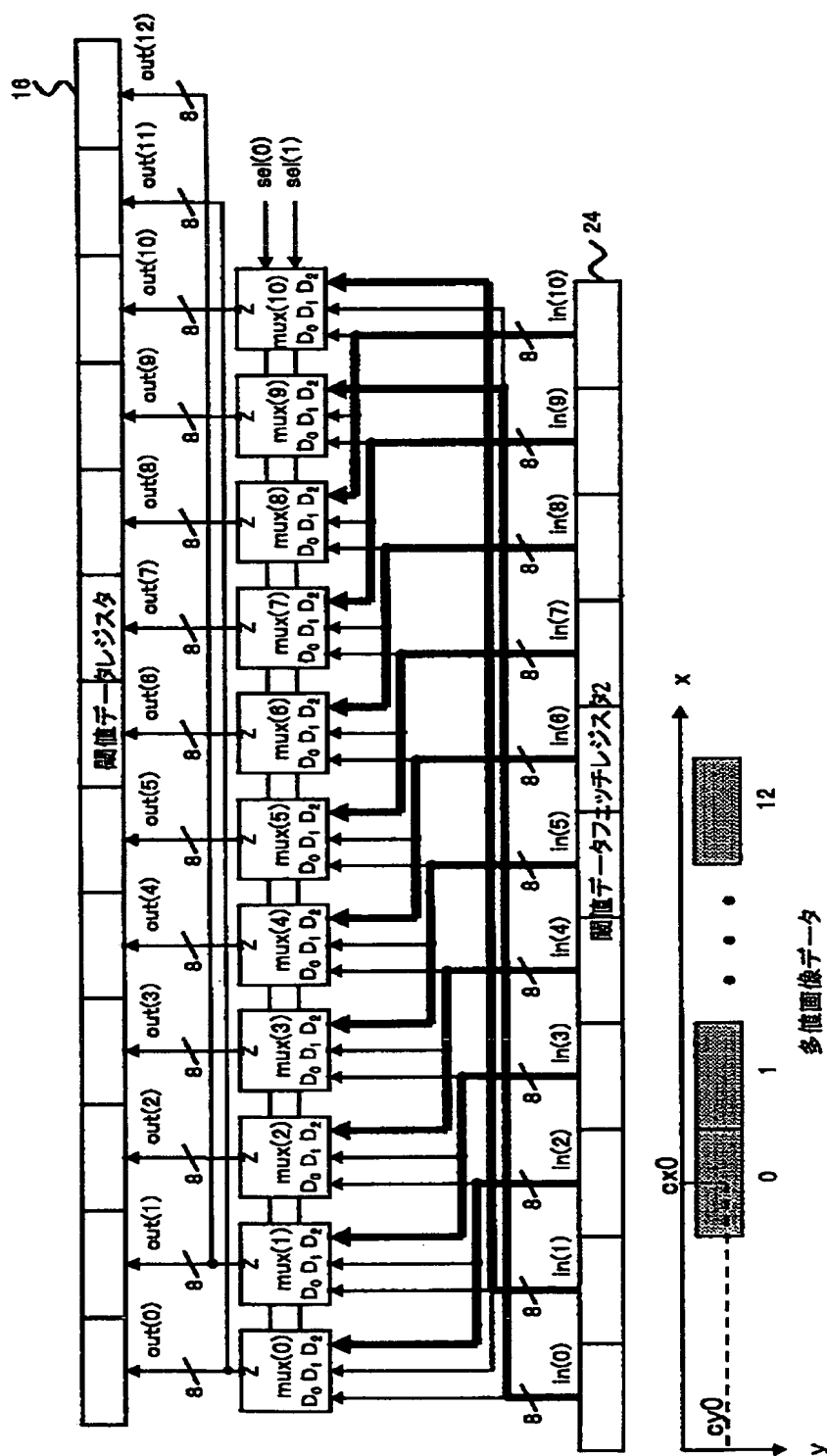
【図 22】



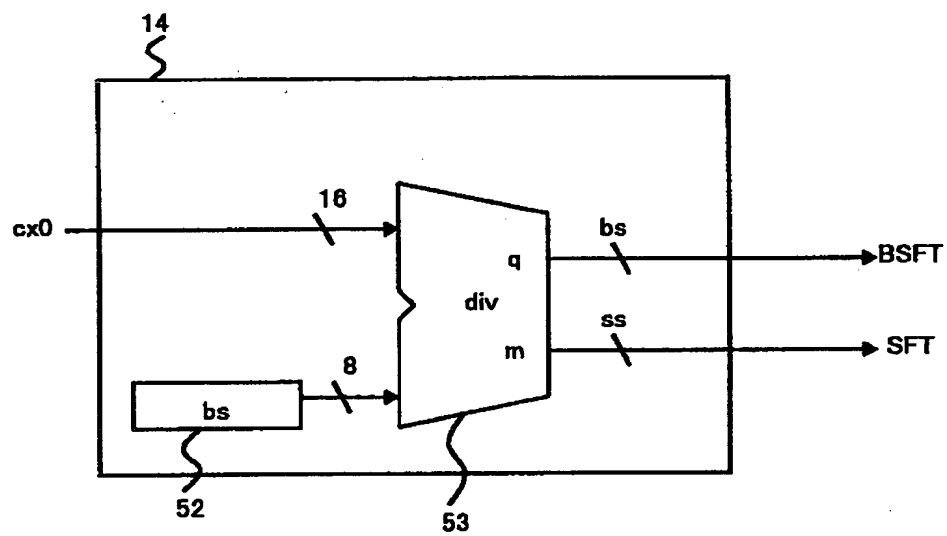
【図 23】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 多値画像データからハーフトーンデータを生成する装置において、高速な処理を可能とする構成を提供する。

【解決手段】 多値画像を形成する画素データと閾値マトリクスメモリから読み出される閾値データとを比較してハーフトーンを生成する装置において、走査ラインに適用する全ての閾値データを一括してメモリから読み出し、読み出された閾値データの中から、ハーフトーンを生成すべき複数の入力画素に適用する閾値データをクロスバススイッチまたはバレルシフタによって複数選択して出力する。選択出力された複数の閾値データと複数の画素の多値データとの比較処理は複数のコンパレータによる並列処理によって実行される。一連の処理はパイプライン処理として実行可能な構成を持つ。

【選択図】 図2

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005496
【住所又は居所】 東京都港区赤坂二丁目17番22号
【氏名又は名称】 富士ゼロックス株式会社
【代理人】 申請人
【識別番号】 100086531
【住所又は居所】 東京都中央区新富1-1-7 銀座ティーケイビル
7階 澤田・宮田・山田特許事務所
【氏名又は名称】 澤田 俊夫

出 願 人 履 歴 情 報

識別番号 [000005496]

1. 変更年月日 1996年 5月29日

[変更理由] 住所変更

住 所 東京都港区赤坂二丁目17番22号

氏 名 富士ゼロックス株式会社